Soutenance de thèse

Contribution à l'interconnexion de composants actifs intégrés dans des substrats laminés : apport des interfaces micro ou nano-structurées

Présentée et soutenue par

Bojan DJURIC

Ingénieur du Conservatoire National des Arts et Métiers

À l'école doctorale (ED 323) Génie Électrique Électronique et Télécommunications (GEET)
En spécialité génie électrique

Dans le cadre d'une collaboration entre

Mitsubishi Electric R&D Centre Europe
1 allée de Beaulieu CS 10806
35 708 RENNES CEDEX 7
France

Laboratoire Plasma et Conversion d'Energie
Université de Toulouse III – Paul Sabatier
118 route de Narbonne
F-31062 Toulouse France

Sommaire

Introduction	**p. 1**
Contexte	p. 5
Problématique	p. 6
Objectif	p. 7
Procédé de fabrication	p. 12
Caractérisation électrique	p. 27
Caractérisation thermique	p. 32
Conclusion et perspectives	p. 42

Introduction

Les convertisseurs d'énergie

Mécanique / Mécanique

Mécanique / Électrique

Électrique / Mécanique

Électrique / Électrique

Introduction

Les convertisseurs d'énergie

Introduction

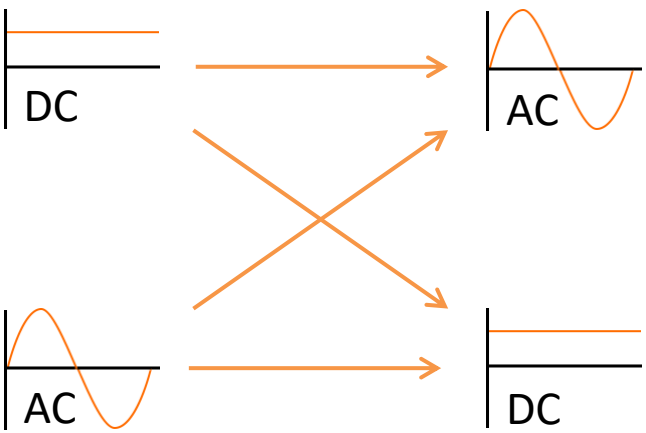
Les convertisseurs statiques

Gammes de puissances

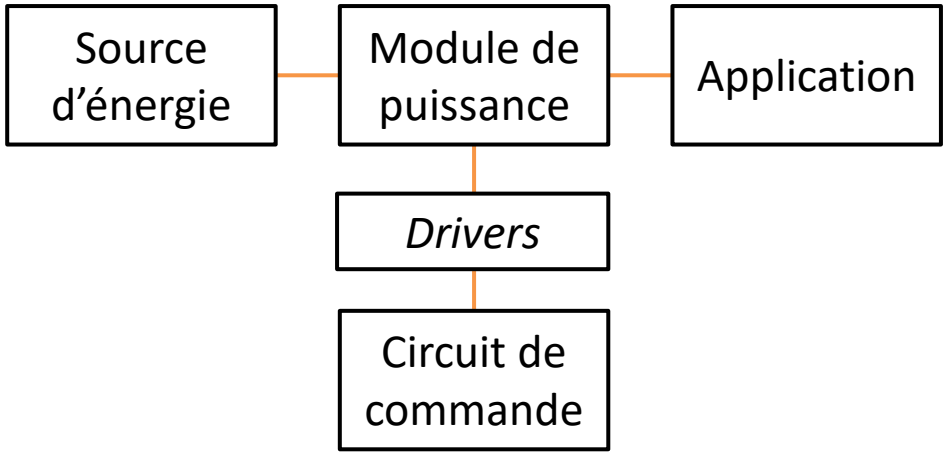
Introduction

Les convertisseurs statiques

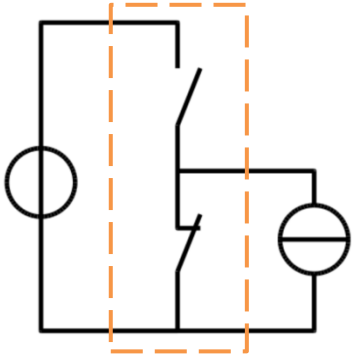
Le principe



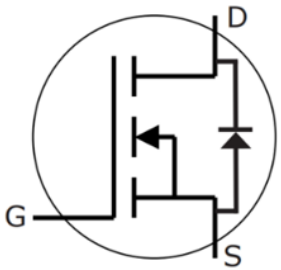
Le schéma fonctionnel



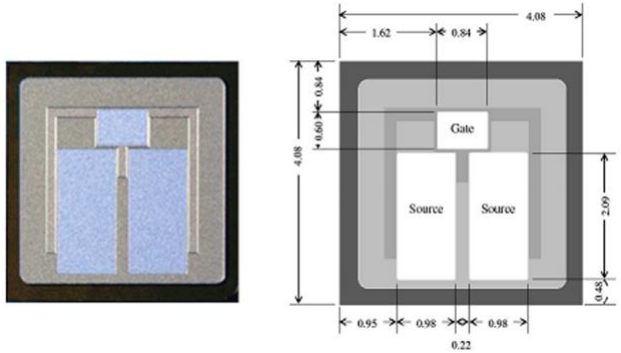
Le module de puissance



Cellule de commutation



Interrupteur (Transistor MOSFET)

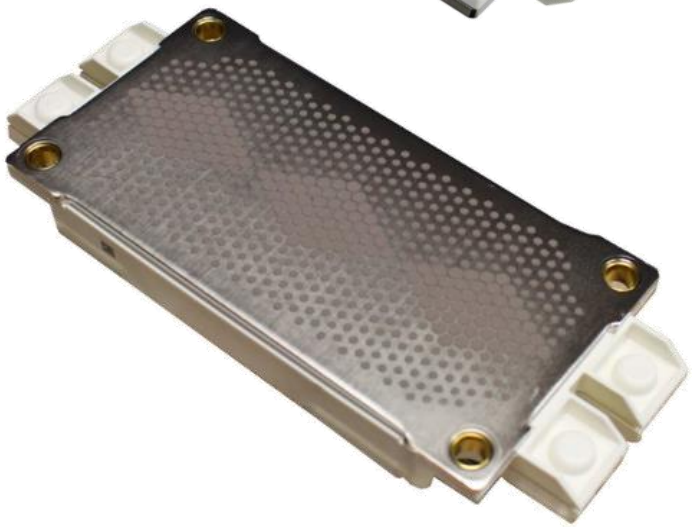


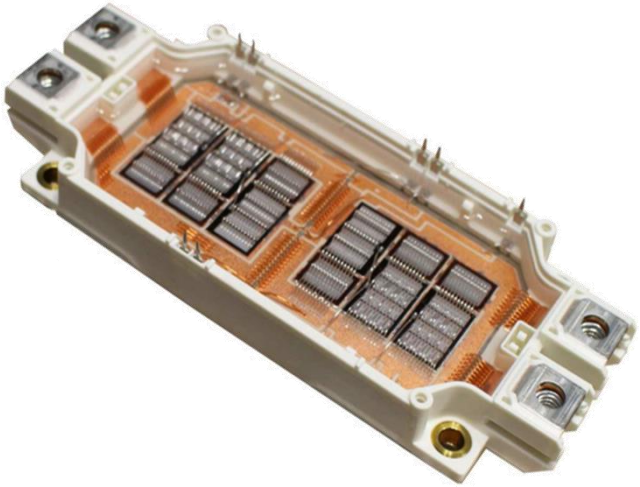
Puce semi-conductrice de puissance (MOSFET CREE CPMF-1200-S080B)

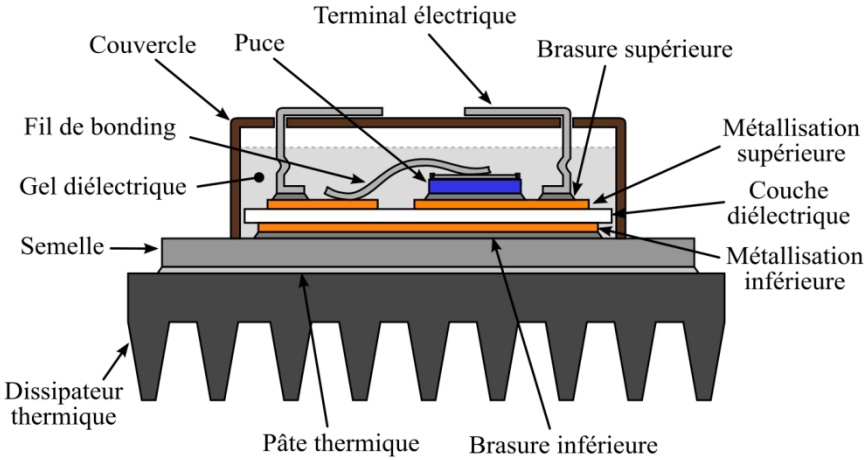
Introduction

Le module de puissance « conventionnel »

Module IGBT onduleur Infineon EconoDUAL 3 *(1,2 kV / 450 A / 2,2 kW)*







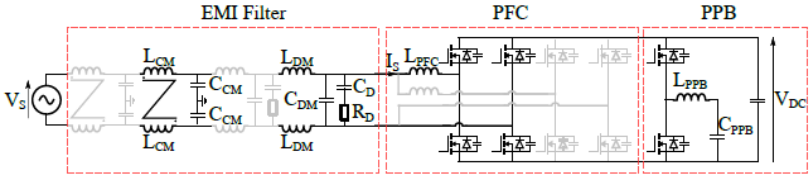
Sommaire

Introduction	p. 1
Contexte	**p. 5**
Problématique	p. 6
Objectif	p. 7
Procédé de fabrication	p. 12
Caractérisation électrique	p. 27
Caractérisation thermique	p. 32
Conclusion et perspectives	p. 42

Contexte

Pour garantir des densités de puissance élevées

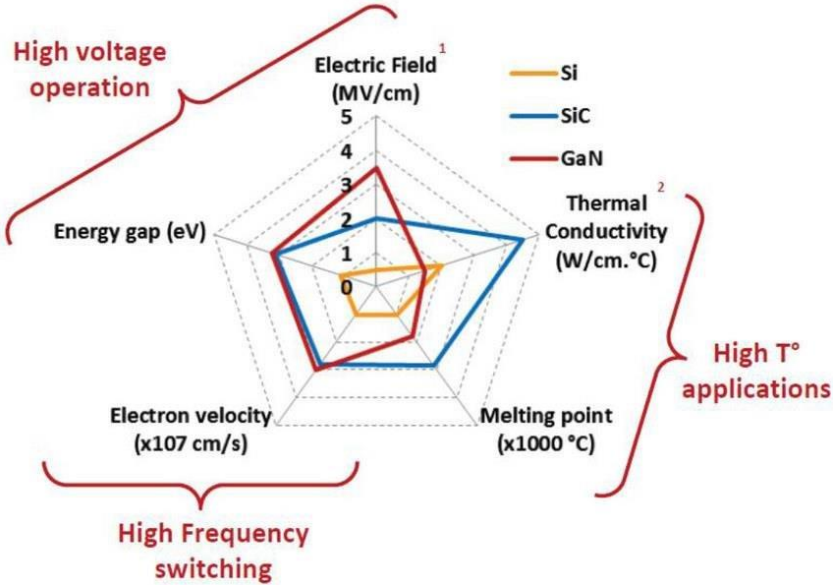
1. Topologies entrelacées :
   Structures multi-cellulaires/niveaux



Redresseur multi-cellulaire intégré 3,3 kW

(Mitsubishi Electric R&D Centre Europe et Laboratoire Ampère)

2. Évolution des interrupteurs :
   Matériaux à large bande (interdite)



Graphique comparatif des propriétés physiques des principaux matériaux semi-conducteurs

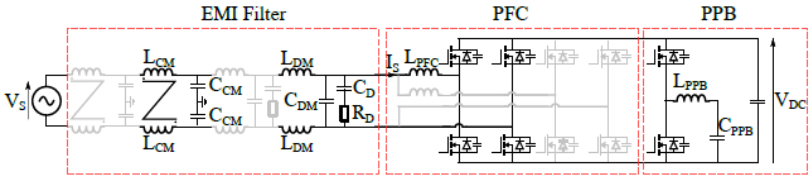
Contexte

Pour garantir des densités de puissance élevées

1. Topologies entrelacées :
   Structures multi-cellulaires/niveaux

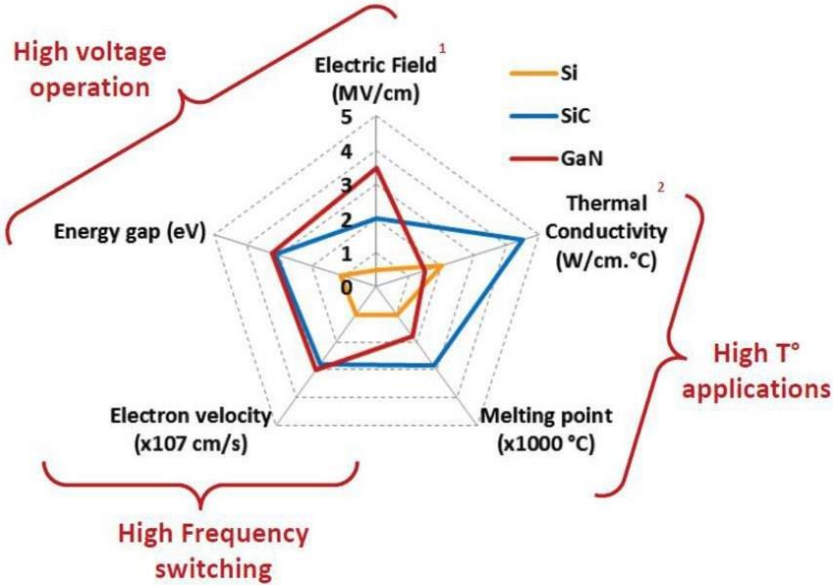
   - Réduction de la taille des composants passifs
   - Multiplication des composants actifs

2. Évolution des interrupteurs :
   Matériaux à large bande (interdite)



Redresseur multi-cellulaire intégré 3,3 kW

(Mitsubishi Electric R&D Centre Europe et Laboratoire Ampère)



Graphique comparatif des propriétés physiques des principaux matériaux semi-conducteurs

Contexte

Pour garantir des densités de puissance élevées

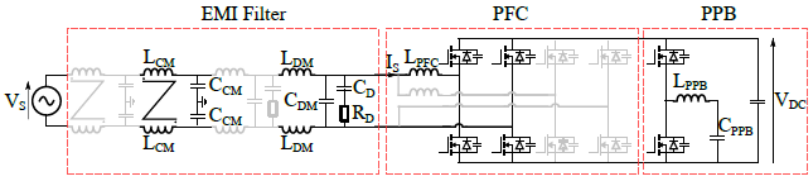
1. Topologies entrelacées :
   Structures multi-cellulaires/niveaux

   - Réduction de la taille des composants passifs
   - Multiplication des composants actifs

2. Évolution des interrupteurs :
   Matériaux à large bande (interdite)

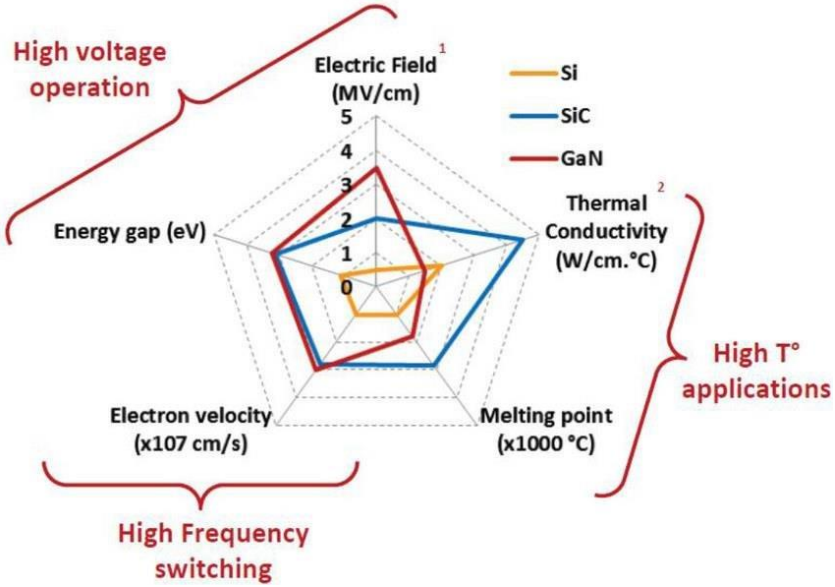
   - Augmentation de la fréquence de découpage
   - Température de fonctionnement plus haute

   - Diminution des temps de commutation
   - Sensibilité aux élements parasites du circuit



Redresseur multi-cellulaire intégré 3,3 kW

(Mitsubishi Electric R&D Centre Europe et Laboratoire Ampère)



Graphique comparatif des propriétés physiques des principaux matériaux semi-conducteurs

Sommaire

Introduction	p. 1
Contexte	p. 5
Problématique	**p. 6**
Objectif	p. 7
Procédé de fabrication	p. 12
Caractérisation électrique	p. 27
Caractérisation thermique	p. 32
Conclusion et perspectives	p. 42

Problématique

Les limitations du *packaging* conventionnel

Défis d'ordre « électrique »

1. Inductif
- Surtensions dues aux forts $^{di}/_{dt}$ *(L_{PD} & L_{PS})*
- Ralentissement des commutations *(L_{PG} & L_{PS})*

2. Capacitif
- Résonances avec les inductances parasites *(C_{PDS})*
- Courant de mode commun *($C_{P\ OUT}$)*

3. Résistif
- Chutes de tension

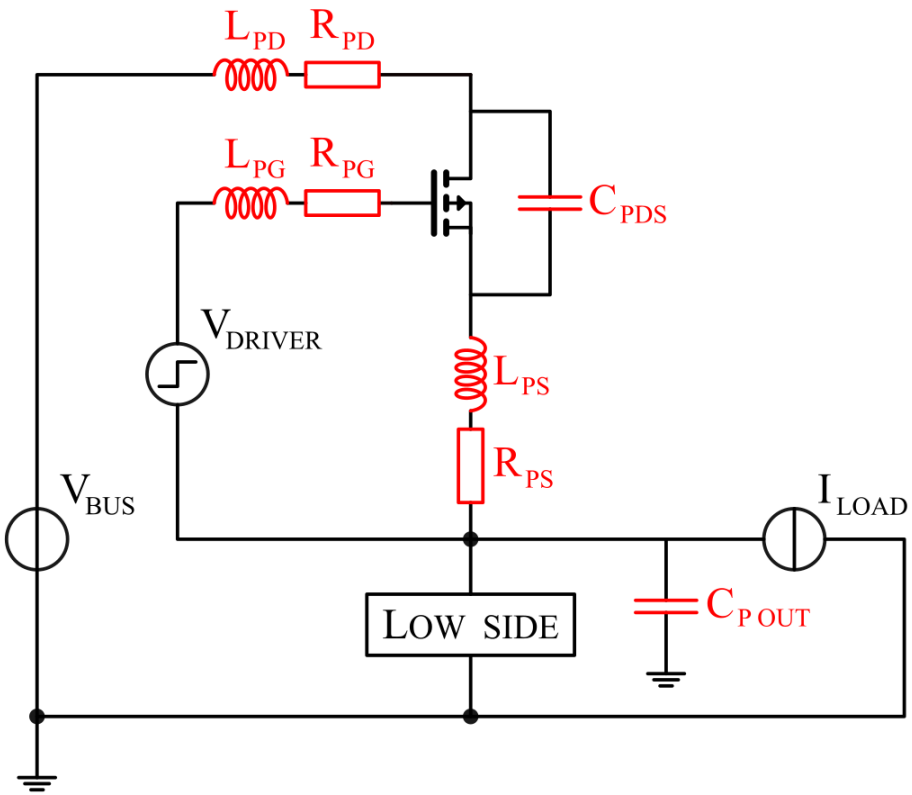
Défis d'ordre « thermomécanique »

1. Pertes à la commutation
2. Pertes en conduction

Chaleur à dissiper !

Fiabilité de l'assemblage impactée par

1. Difference des **coefficients de dilatation thermique** des matériaux
2. Combinée aux **cyclages thermiques** endurés par le module de puissance



Éléments parasites (rouge) de l'interrupteur supérieur d'une cellule de commutation

Problématique

Les limitations du *packaging* conventionnel

Défis d'ordre « électrique »

1. Inductif
- Surtensions dues aux forts $^{di}/_{dt}$ (L_{PD} & L_{PS})
- Ralentissement des commutations (L_{PG} & L_{PS})

2. Capacitif
- Résonances avec les inductances parasites (C_{PDS})
- Courant de mode commun ($C_{P\ OUT}$)

3. Résistif
- Chutes de tension

Défis d'ordre « thermomécanique »

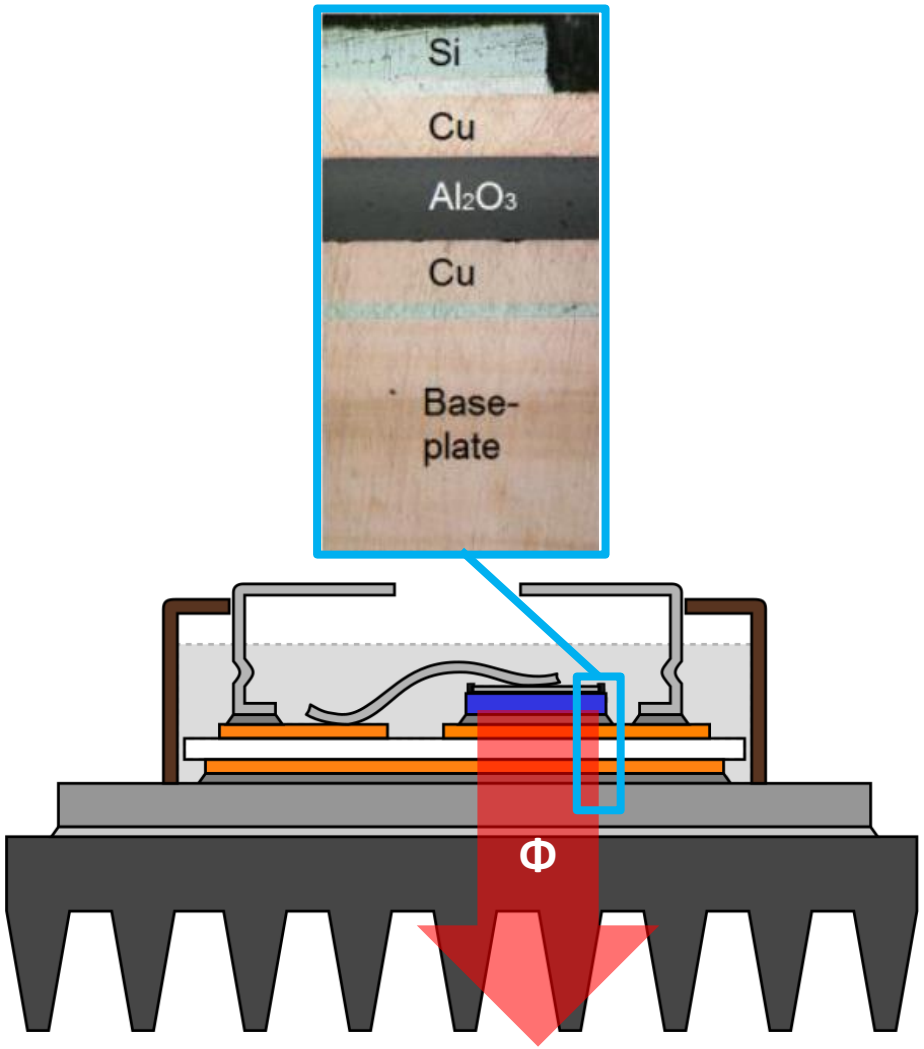
1. Pertes à la commutation
2. Pertes en conduction

Chaleur à dissiper !

Fiabilité de l'assemblage impactée par

1. Difference des **coefficients de dilatation thermique** des matériaux

2. Combinée aux **cyclages thermiques** endurés par le module de puissance



Dissipation de la chaleur du module conventionnel

Problématique

Les limitations du *packaging* conventionnel

Défis d'ordre « électrique »

1. Inductif
- Surtensions dues aux forts $^{di}/_{dt}$ (L_{PD} & L_{PS})
- Ralentissement des commutations (L_{PG} & L_{PS})

2. Capacitif
- Résonances avec les inductances parasites (C_{PDS})
- Courant de mode commun ($C_{P\ OUT}$)

3. Résistif
- Chutes de tension

Défis d'ordre « thermomécanique »

1. Pertes à la commutation

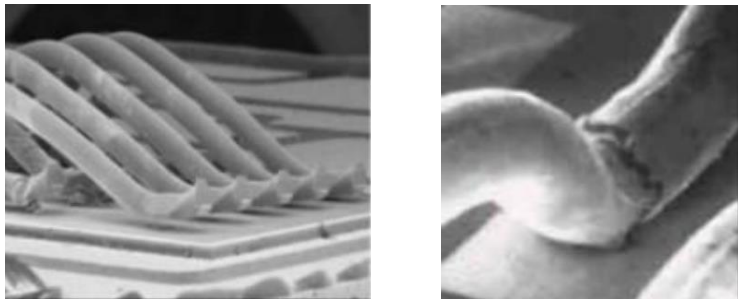
2. Pertes en conduction

Chaleur à dissiper !

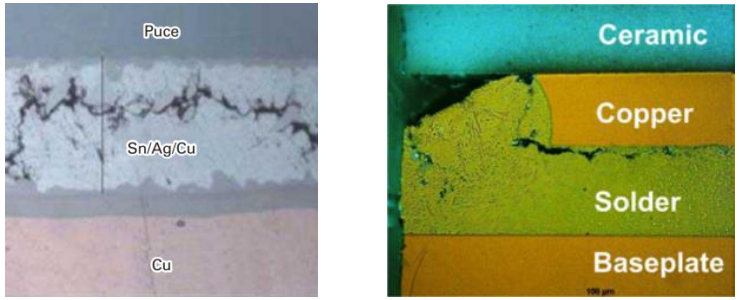
Fiabilité de l'assemblage impactée par

1. Difference des **coefficients de dilatation thermique** des matériaux

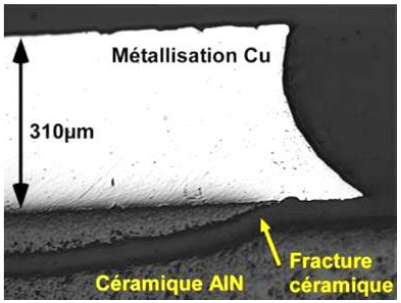
2. Combinée aux **cyclages thermiques** endurés par le module de puissance



Décollement et fissure du câblage



Fissuration des brasures



Décollement de la métallisation

Sommaire

Introduction	p. 1
Contexte	p. 5
Problématique	p. 6
Objectif	**p. 7**
Procédé de fabrication	p. 12
Caractérisation électrique	p. 27
Caractérisation thermique	p. 32
Conclusion et perspectives	p. 42

Objectif

Les « 3 DPHI »

- **Lesquels ?**

Optimiser la gestion des contraintes « ETM » au sein des modules de puissance

« Electro-Thermo-Mécanique »

- **Comment ?**

En proposant un *packaging* plus intégré et basé sur une technologie d'assemblage innonvante

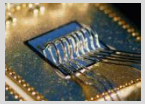
- **Permettant de ?**

1. Reduire les éléments parasites (Efficacité)
2. Diminuer les écarts entre les coefficients de dilatation thermique (Fiabilité)
   Voire le nombre total de matériaux utilisés (et leur épaisseur respective)
3. Produire à grande échelle et à coût abordable (Faisabilité)

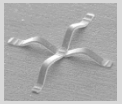
Objectif

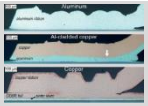
L'analyse des évolutions industrielles et des solutions proposées dans la littérature

Câblage



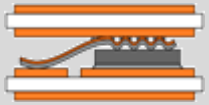
Fils



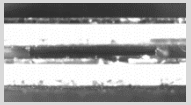


Rubans

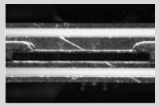
Brasure



Rubans bimétalliques



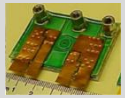
Brasure directe



Plot métallique

Billes brasées

Armature brasée



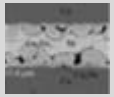
Feuillard embossé

Frittage

Technologie d'assemblage à basse température (LTJT)

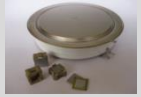
Technologie de frittage à basse température et sans pression (LTPST)

Diffusion

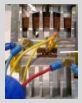


Assemblage phase liquide transitoire (TLPB)

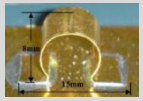
Pressé



Press pack

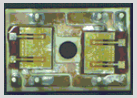


Low force 3D



Ressorts

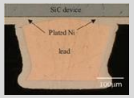
Électrodéposition



Power Overlay

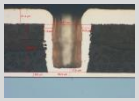
Embedded Power

SiPLIT

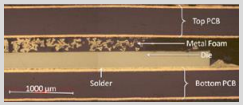


Nickel Micro Plating Bonding

Technologie PCB



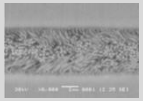
(Micro) vias



Mousse métallique

Interface structurée

Micro poteaux



Nano fils / tubes

État de l'art non exhaustif des technologies d'intégration de composants actifs de puissance

Objectif

Les circuits imprimés

La technologie PCB (Printed Circuit Board)

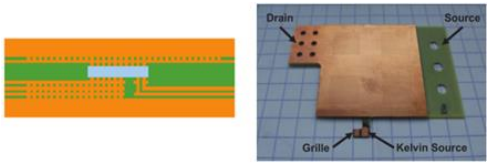
- Coût réduit et procédé mature
- Production massive par panneau
- Capacité d'utilisation de cuivre épais
  (conduction du courant et de la chaleur)
- Structures multicouches précises et répétables

L'enfouissement PCB

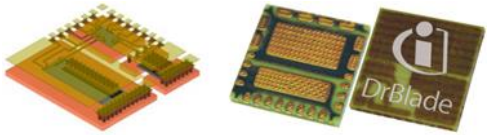
1. Chaine dissipative plus courte et double face
2. Réduction de la taille des interconnexions
   (et des éléments parasites)
3. Augmentation de la densité de puissance
   (par réduction du volume)

Les micro vias

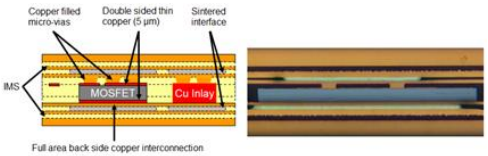
- Tendance actuelle pour l'interconnexion des puces
- <u>Limitent</u> la repartition du courant, la dissipation du flux de chaleur et la fiabilité des interconnexions



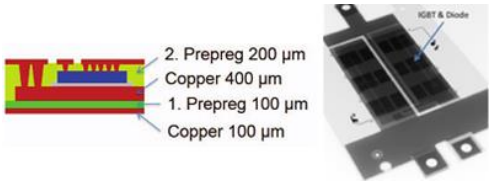
Micro vias face supérieure et inférieure



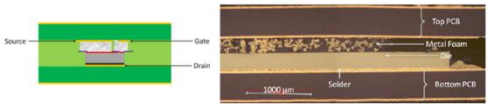
Micro vias et assemblage par diffusion



Vias et recharge galvanique



Micro vias et frittage



Mousse métallique et brasure

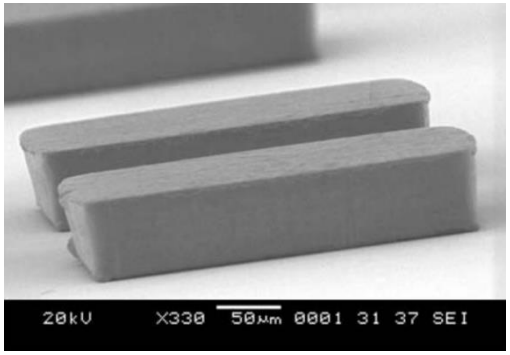
Solutions d'intégration hybride

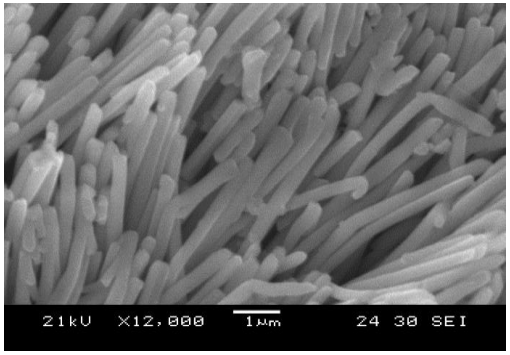
Objectif

Les interfaces structurées

Les micro poteaux et nano fils en cuivre

1. Forte densité surfacique
2. Faible épaisseur
3. Matériau bon conducteur (cuivre)
4. Procédé de dépôt mature
5. Et utilisé dans l'industrie du PCB





Images de profil de deux micro poteaux (x330) et de nano fils (x12000) au microscope électronique à balayage

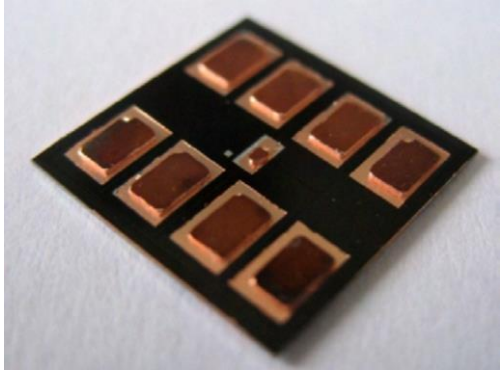
Permettant d'apporter

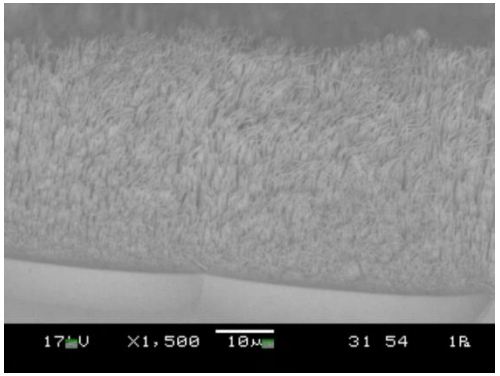
La sélectivité des dépôts par

- La technologie « micro poteaux »

Une potentielle fléxibilité par

- La technologie « nano fils »





Photographie et acquisition (x1500) de micro poteaux revétus de nano fils

Objectif

La solution alternative proposée

Assemblage composé de :

- Deux substrats PCB **(A)**
- Avec une interface structurée « chacun »
- En compression contre la puce **(D)** entourée par un laminé **(C)**
- Et assemblés par thermocompression de deux feuilles de préimprégné **(B)**

Un haut niveau d'intégration :

1. Refroidissement double face possible
2. Structure symétrique
3. Interconnectiques entièrement en cuivre
4. Espérées resistantes aux contraintes cycliques
5. Bloc élementaire du convertisseur de puissance

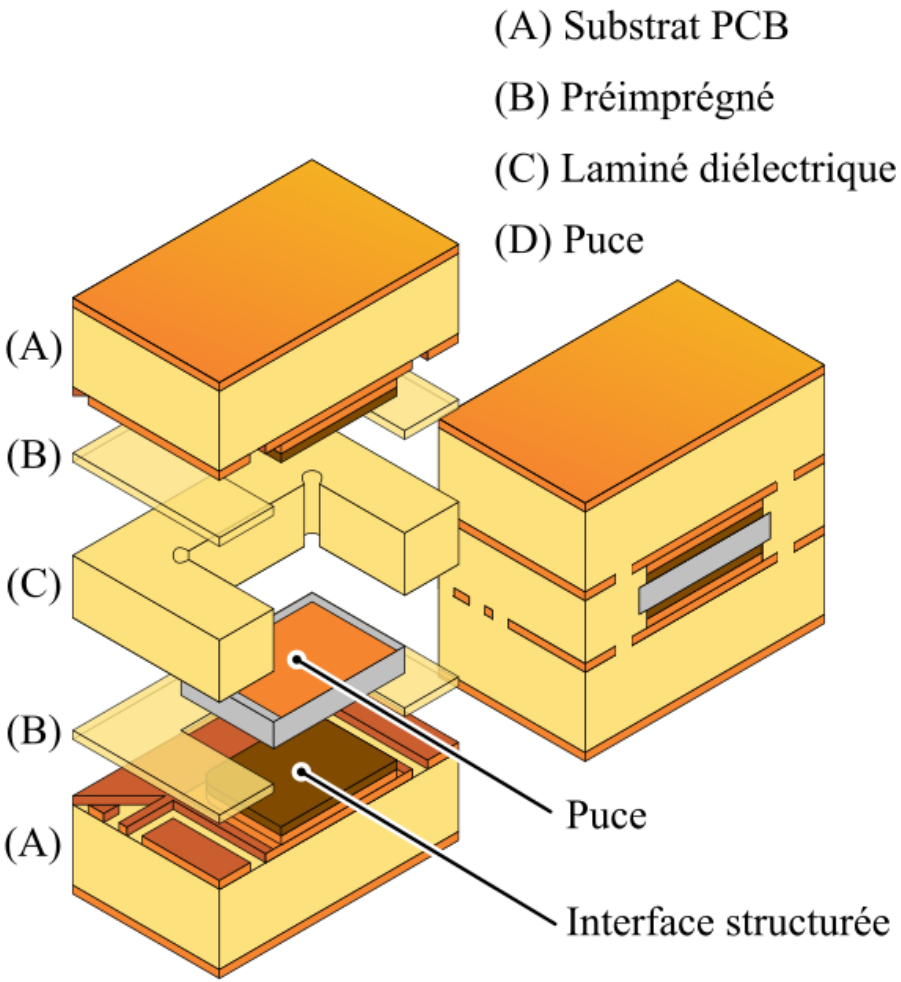


Schéma 3D de la solution proposée

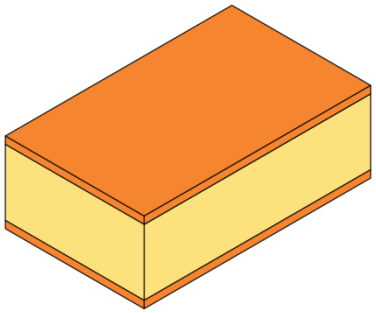
Sommaire

Introduction	p. 1
Contexte	p. 5
Problématique	p. 6
Objectif	p. 7
Procédé de fabrication	**p. 12**
Caractérisation électrique	p. 27
Caractérisation thermique	p. 32
Conclusion et perspectives	p. 42

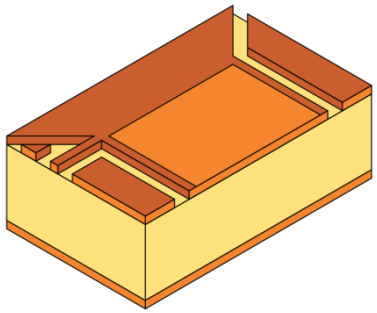
Procédé de fabrication

Vue d'ensemble

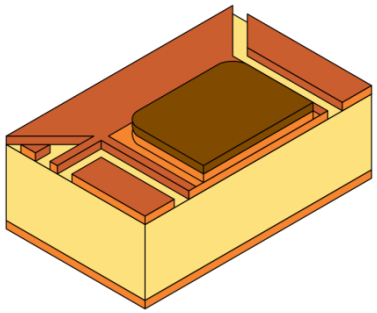
Préparation des substrats et de leur interface structurée



1. Plaque

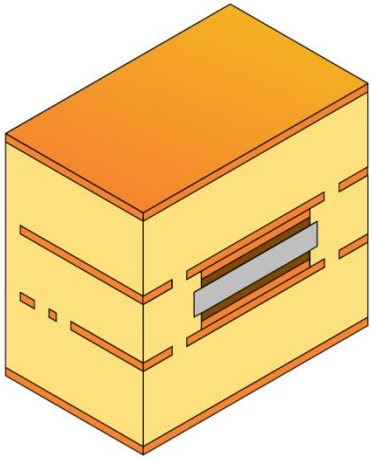


2. Substrat

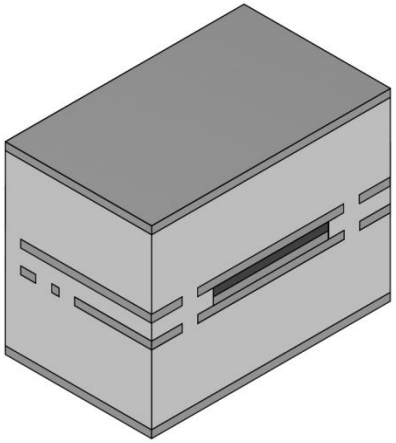


3. Interface structurée

Assemblages des prototypes



4. Enfouissement d'une puce (factice)

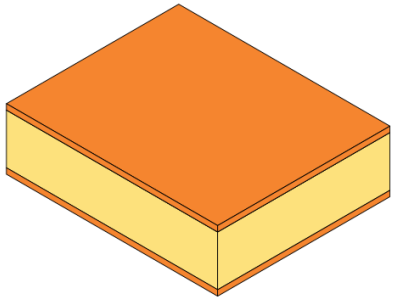


4 (bis). Enfouissement d'une interface structurée

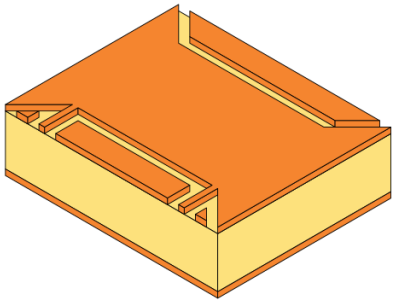
Procédé de fabrication

Préparation des substrats

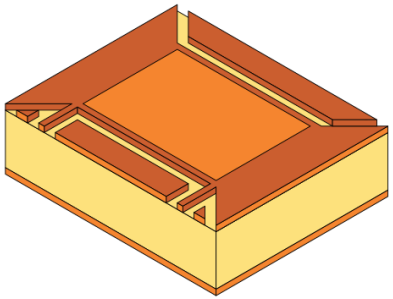
➢ **Les étapes principales**



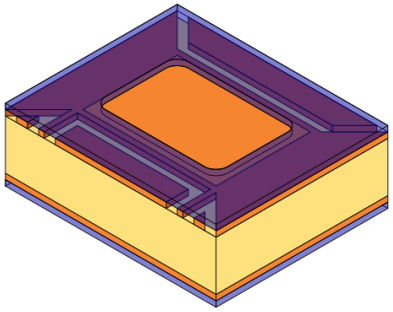
1. Plaque
Verre-polyimide
Cuivre



2. Pistes
Fonctionnalisation



3. Brunissement
Adhérence



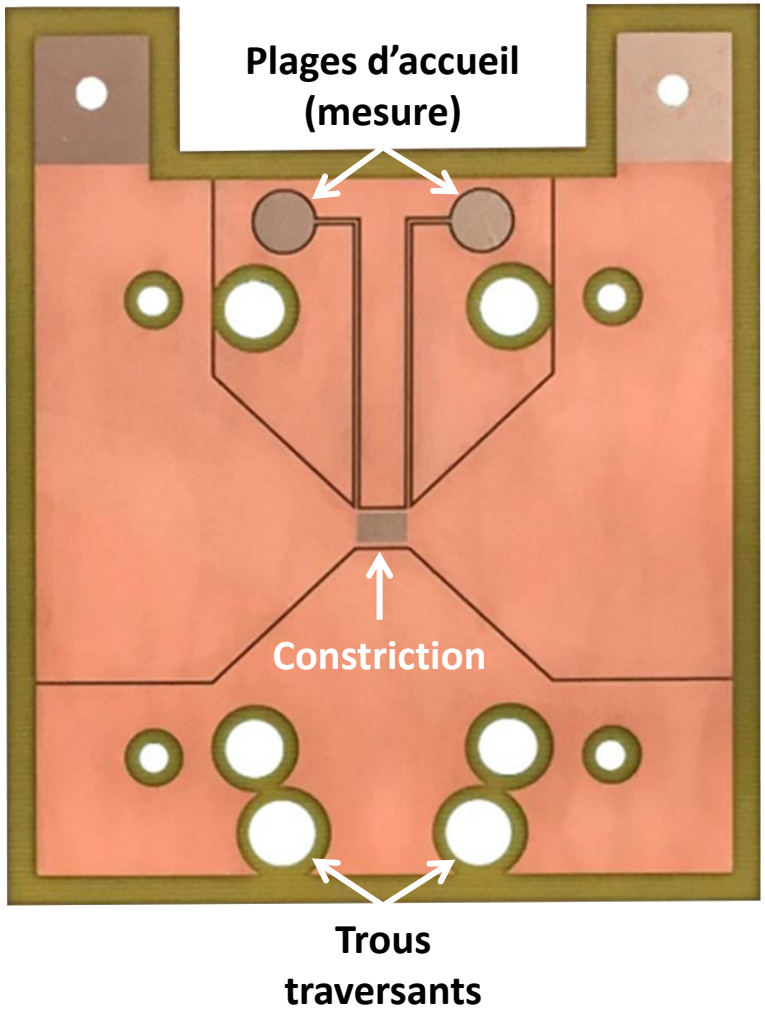
4. Masquage
Interface structurée

👍
4 substrats par « plaque » !

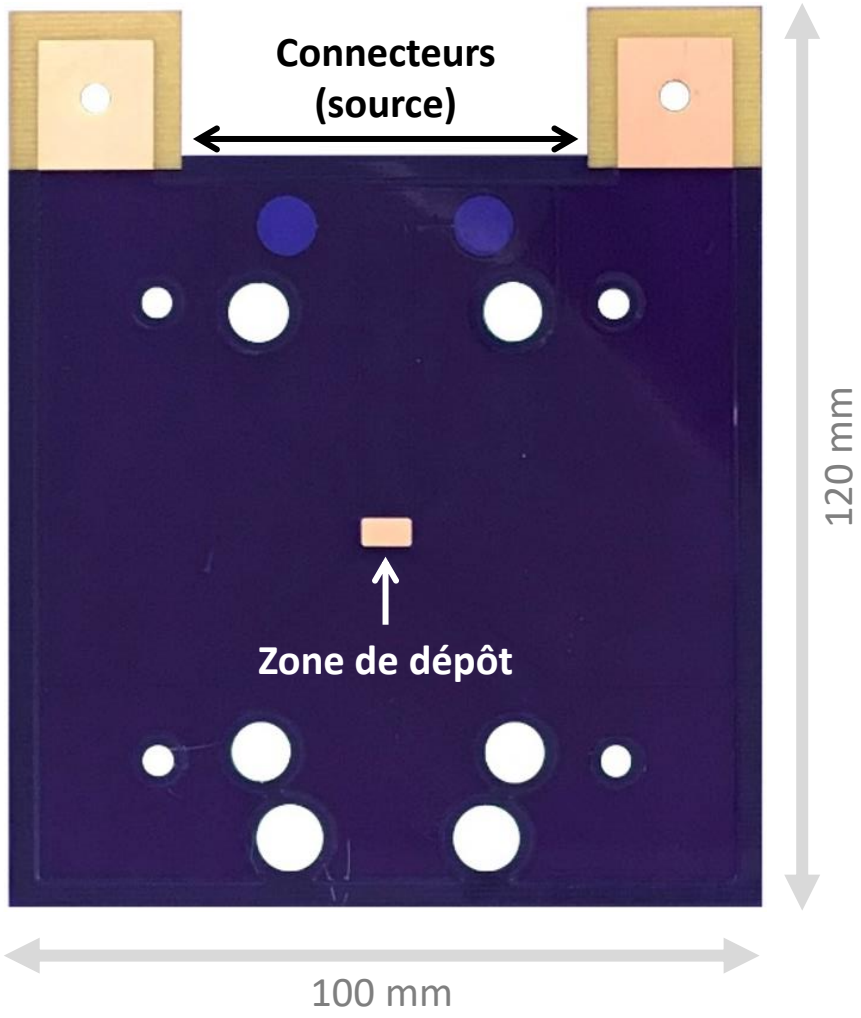
Procédé de fabrication

Préparation des substrats

➢ **Description du substrat**



Substrat « sans » film photosensible

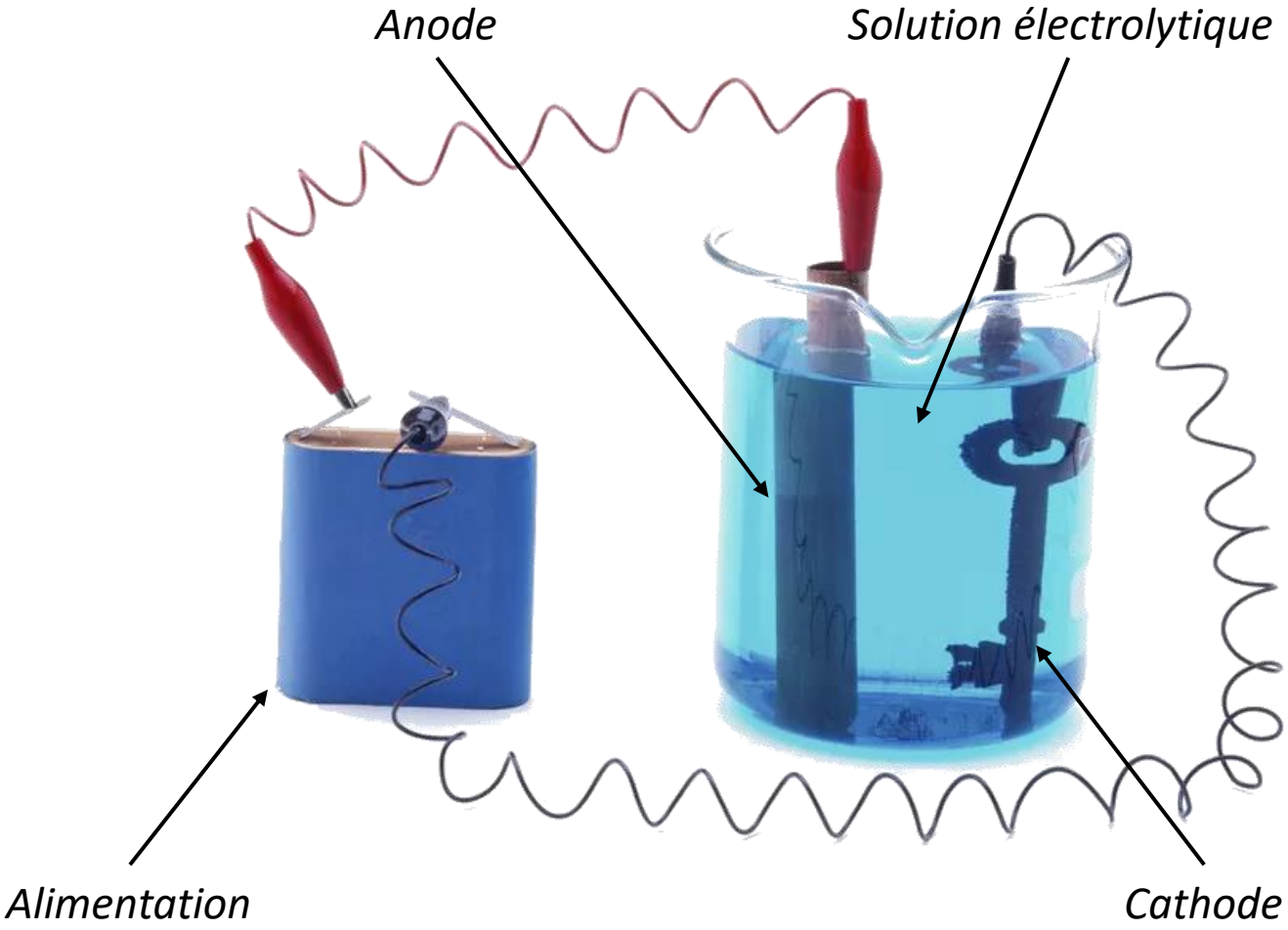


Substrat « avec » film photosensible

Procédé de fabrication

Préparation des interfaces structurées

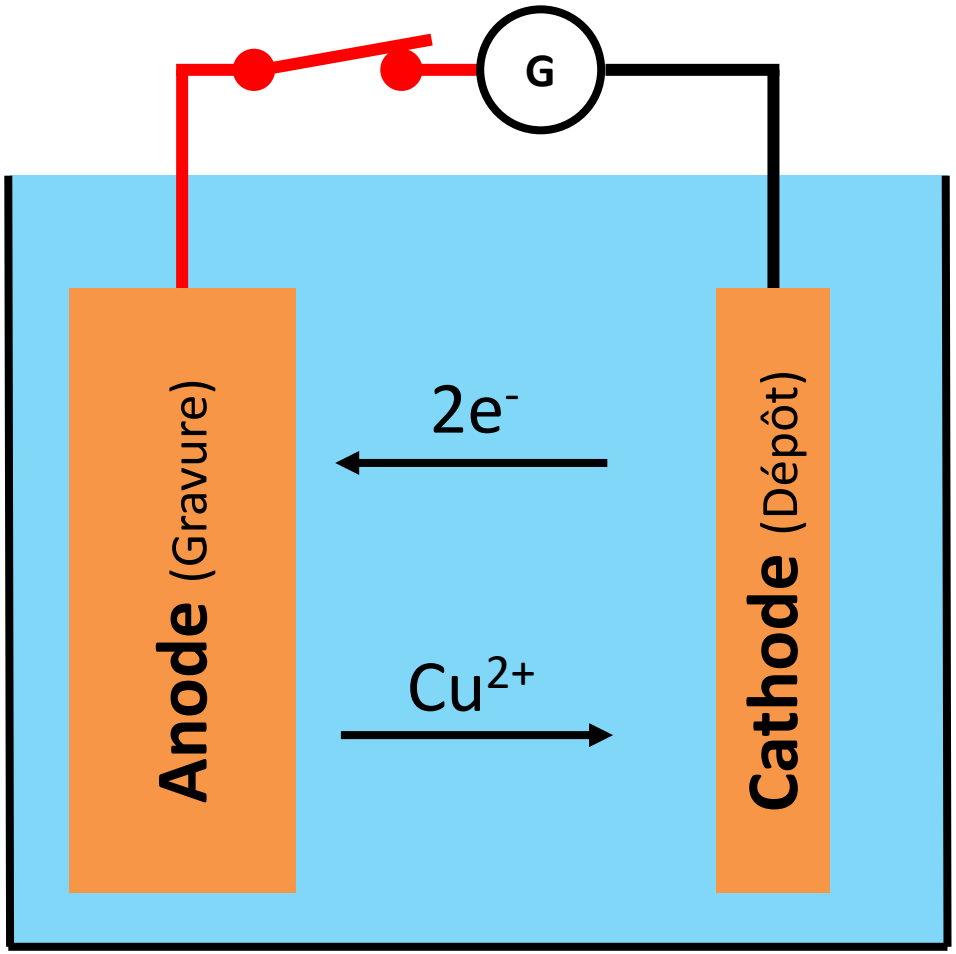
- **Dépôt et gravure du cuivre par voie électrolytique**



Procédé de fabrication

Préparation des interfaces structurées

➢ **Dépôt et gravure du cuivre par voie électrolytique**



Acide sulfurique (H_2SO_4)
Sulfate de cuivre ($CuSO_4$)

Cuivre (Cu)

$$h = \frac{I.t.M}{F.n.d.S}$$

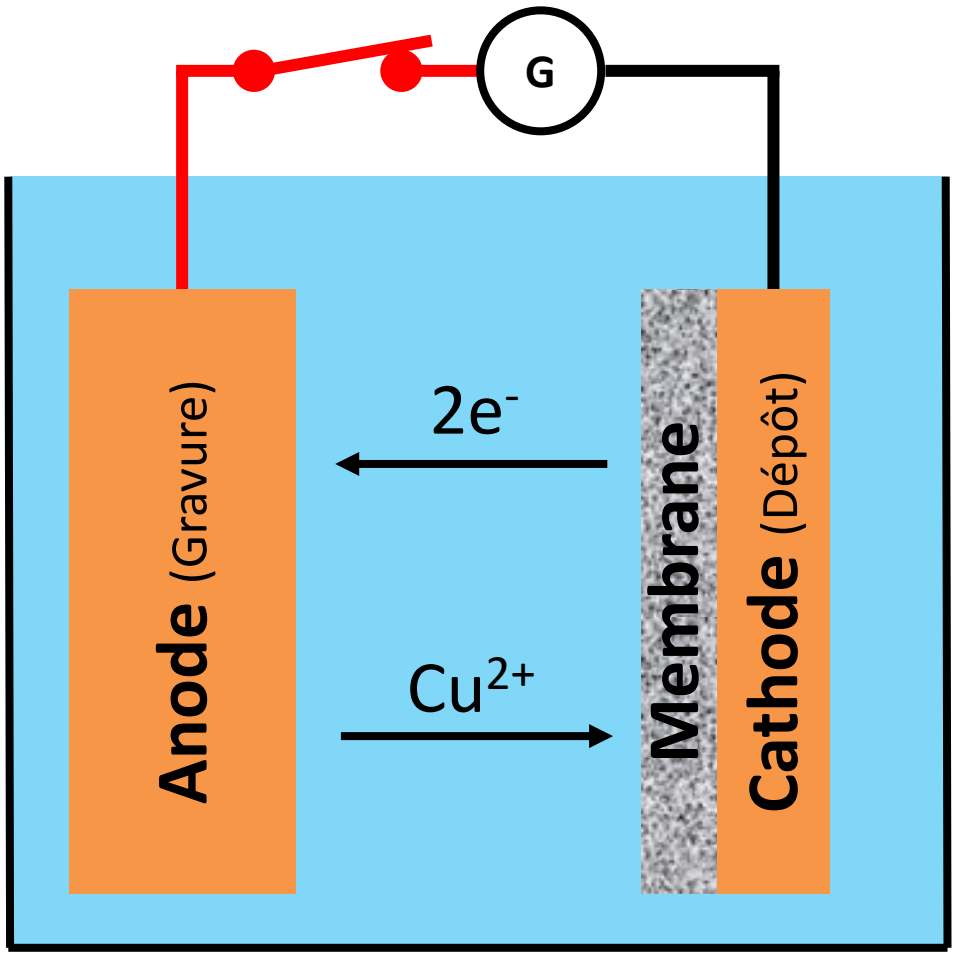
Loi de Faraday

h : **Épaisseur *(en cm)***
I : **Courant *(en A)***
t : **Temps *(en s)***
M : Masse molaire *(en g/mol)*
F : Constante de Faraday *(en C/mol)*
n : Électrons de valence *(sans unite)*
d : Masse volumique *(en g/cm³)*
S : **Surface *(en cm²)***

Procédé de fabrication

Préparation des interfaces structurées

➢ **Dépôt des nano fils de cuivre par voie électrolytique**



Acide sulfurique (H_2SO_4)
Sulfate de cuivre ($CuSO_4$)

Cuivre (Cu)

Alumine (Al_2O_3)

$$h = \frac{I.t.M}{F.n.d.S.p}$$

Loi de Faraday

h : **Épaisseur *(en cm)***
I : **Courant *(en A)***
t : **Temps *(en s)***
M : Masse molaire *(en g/mol)*
F : Constante de Faraday *(en C/mol)*
n : Électrons de valence *(sans unite)*
d : Masse volumique *(en g/cm³)*
S : **Surface *(en cm²)***
p : **Porosité *(sans unite)***

Procédé de fabrication

Préparation des interfaces structurées

- **Dépôt des nano fils de cuivre par voie électrolytique**

Acide sulfurique (H_2SO_4)
Sulfate de cuivre ($CuSO_4$)

Cuivre (Cu)

Nano structure en cuivre (Cu)

$$h = \frac{I.t.M}{F.n.d.S.p}$$

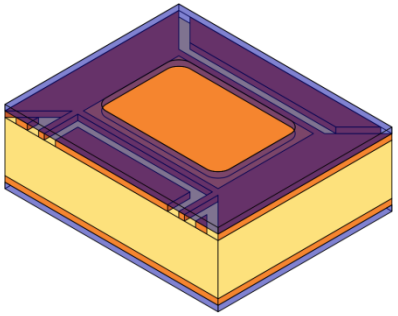
Loi de Faraday

h : **Épaisseur *(en cm)***
I : **Courant *(en A)***
t : **Temps *(en s)***
M : Masse molaire *(en g/mol)*
F : Constante de Faraday *(en C/mol)*
n : Électrons de valence *(sans unite)*
d : Masse volumique *(en g/cm³)*
S : **Surface *(en cm²)***
p : **Porosité *(sans unite)***

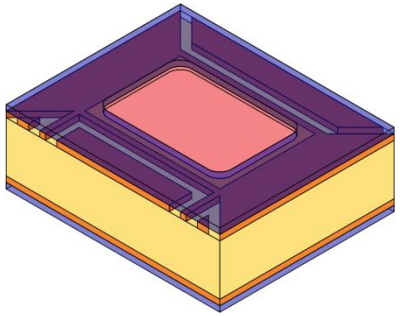
Procédé de fabrication

Préparation des interfaces structurées

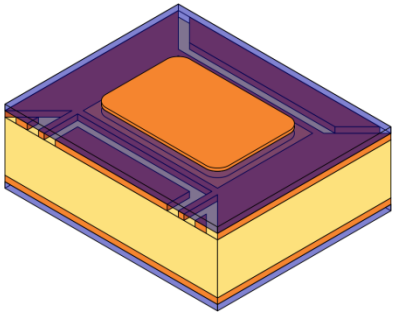
Le micro ou plutôt « macro » poteau



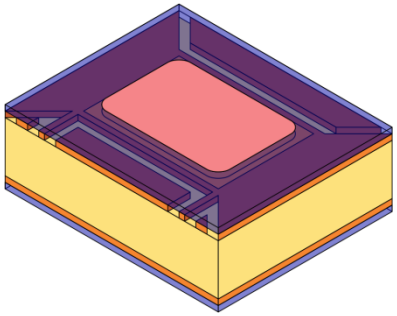
1. Cavité



2. Adhérence

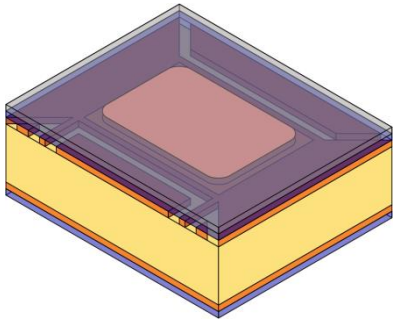


3. Remplissage

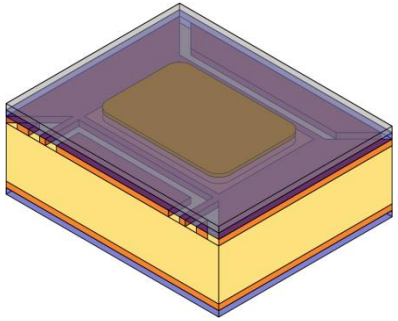


4. Adhérence
(Coplanéité)

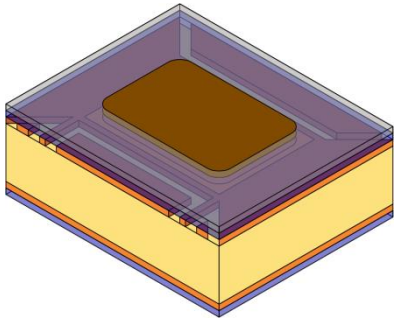
La nano structure



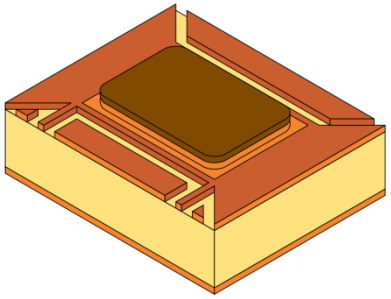
5. Membrane



6. Amorçage
(Maintien)

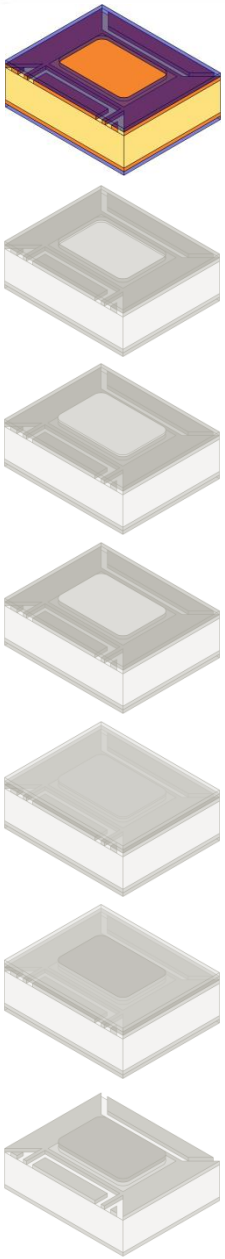


7. Remplissage
(Renouvellement)



8. Retrait

Procédé de fabrication



Préparation des interfaces structurées

1. **Cavité du film photosensible sur le substrat : sélectivité de la zone de dépôt**

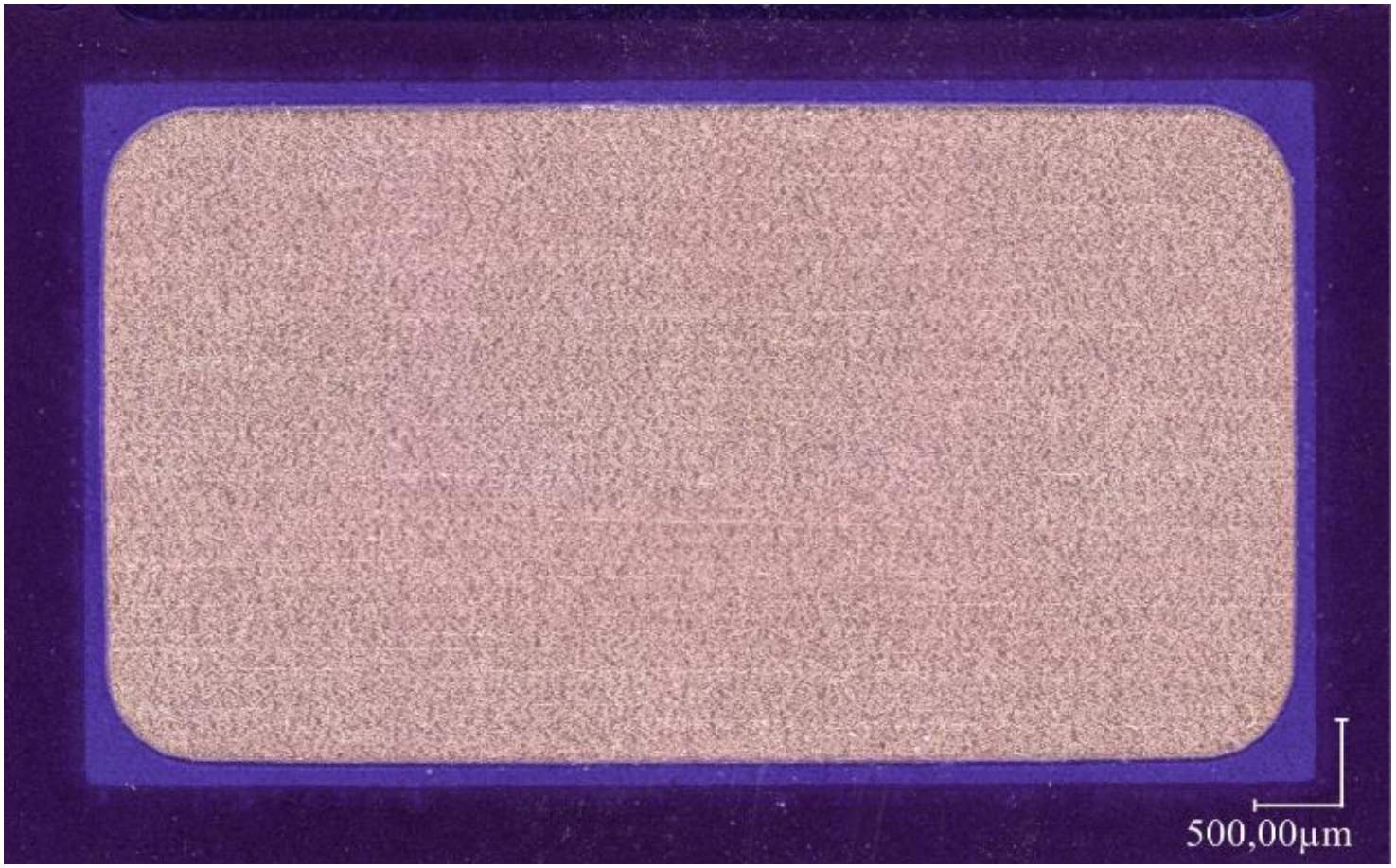
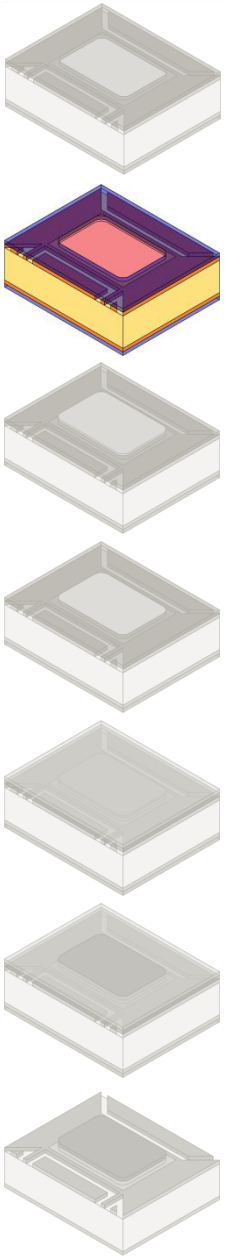


Image de la zone de dépôt
au microscope numérique (x200)

Procédé de fabrication

Préparation des interfaces structurées



2. **Électro-gravure du cuivre de la cavité (anode) ≈ 45 minutes**

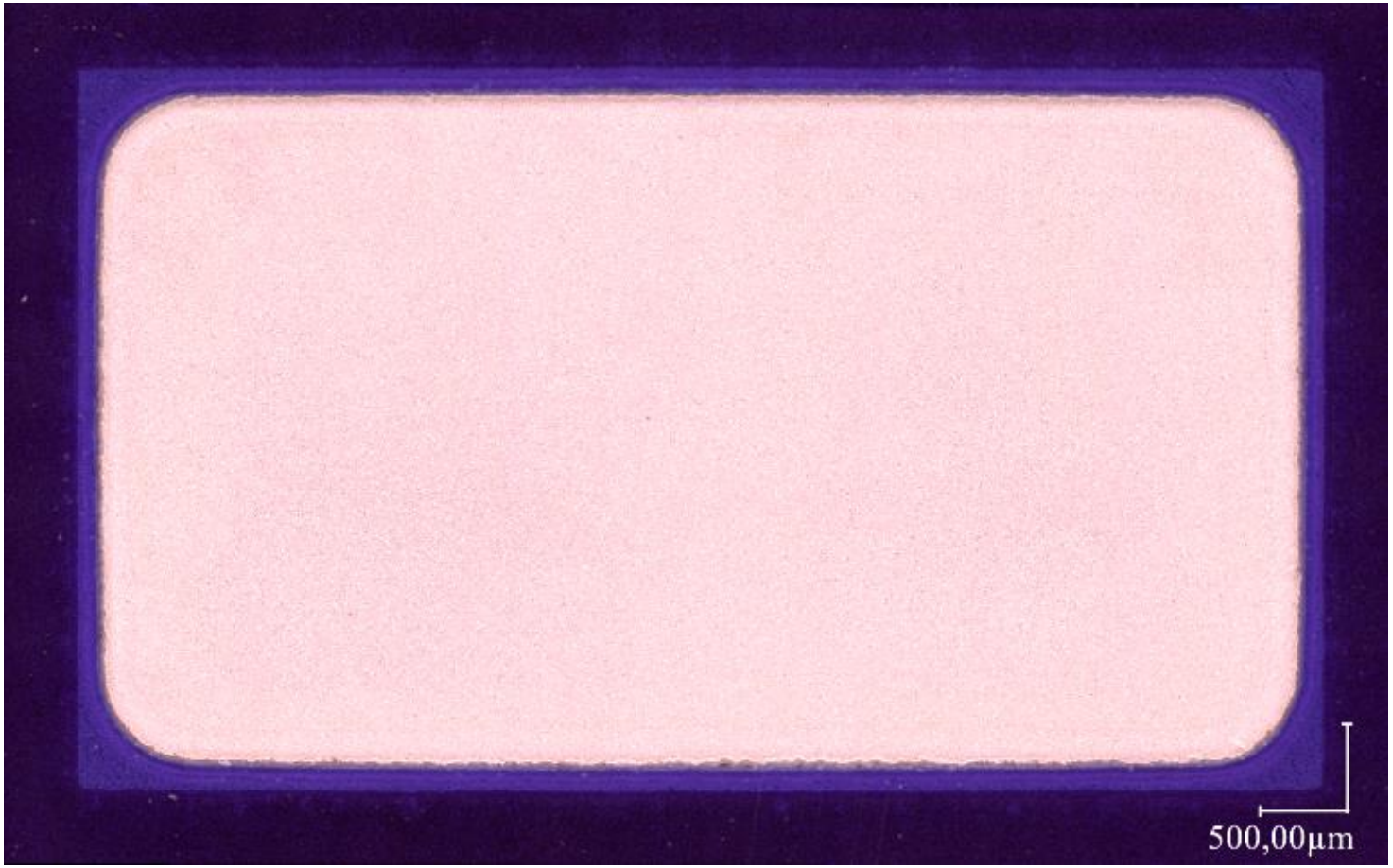
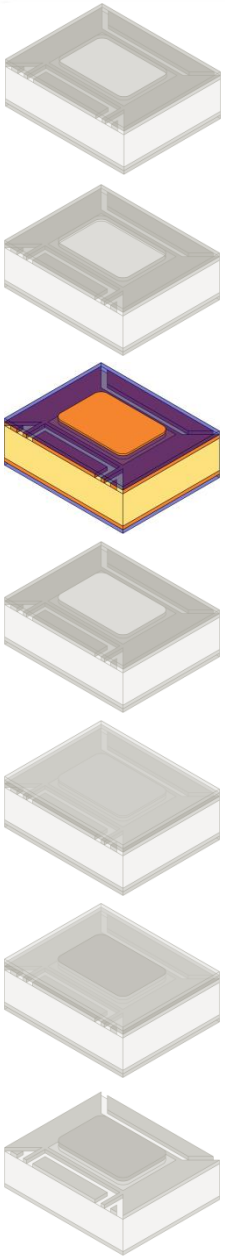


Image de la zone de dépôt électro-gravée
au microscope numérique (x200)

Procédé de fabrication

Préparation des interfaces structurées



3. **Électrodéposition du cuivre dans la cavité (cathode) ≈ 7 heures**

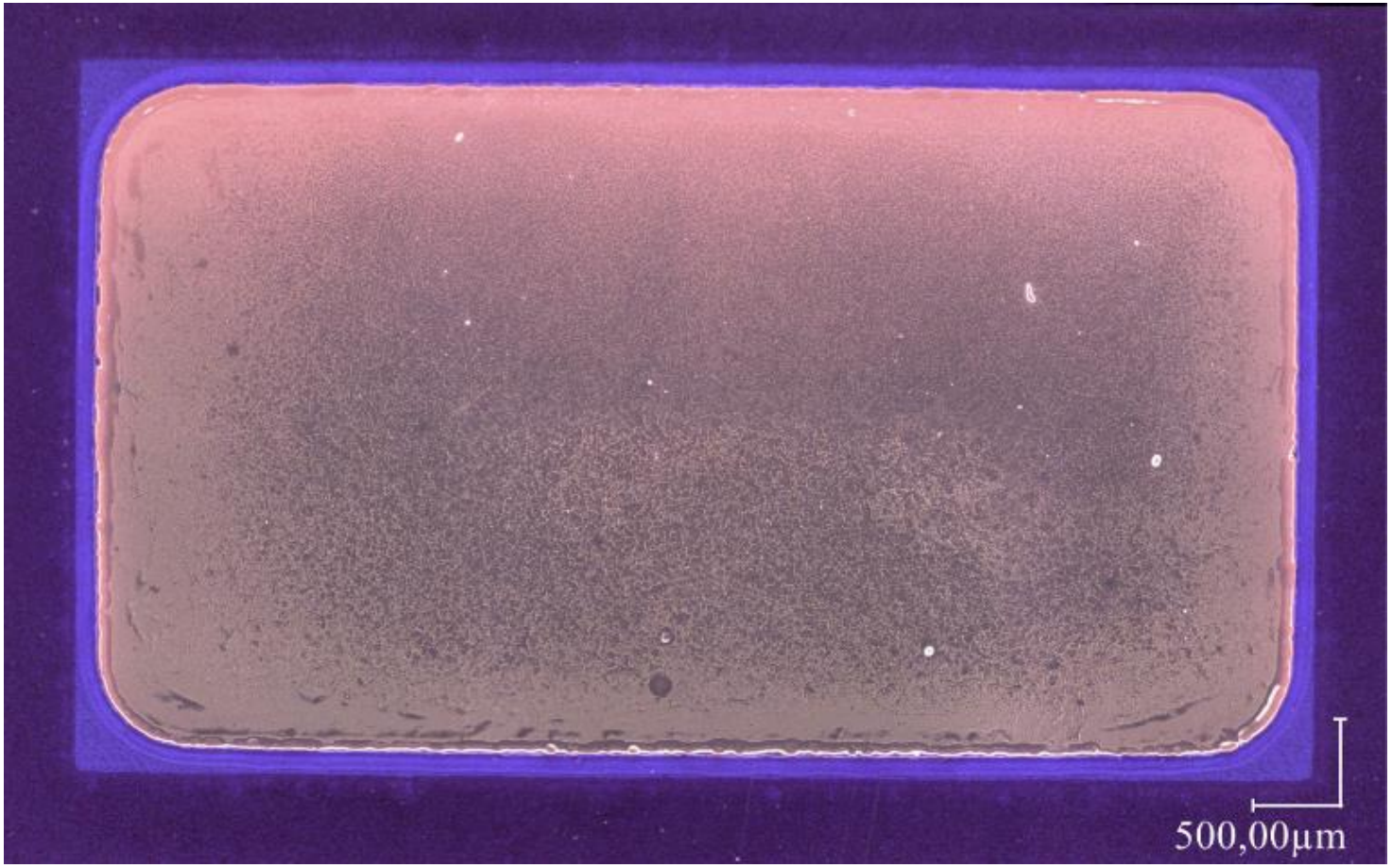
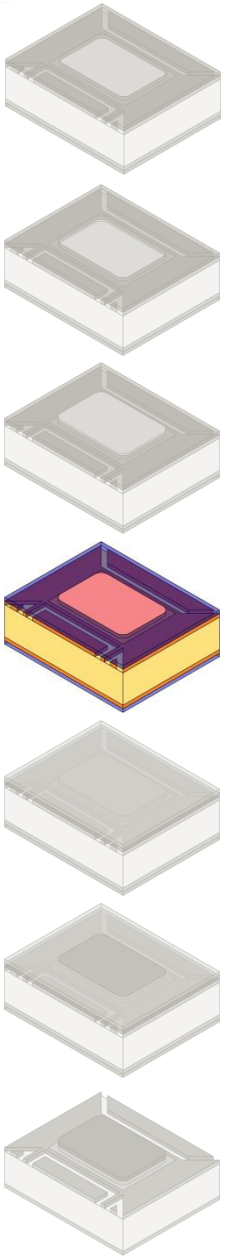


Image de la zone de dépôt après électrodéposition
au microscope numérique (x200)

Procédé de fabrication

Préparation des interfaces structurées



4. **Électro-gravure du cuivre de la cavité (anode) ≈ 45 minutes**

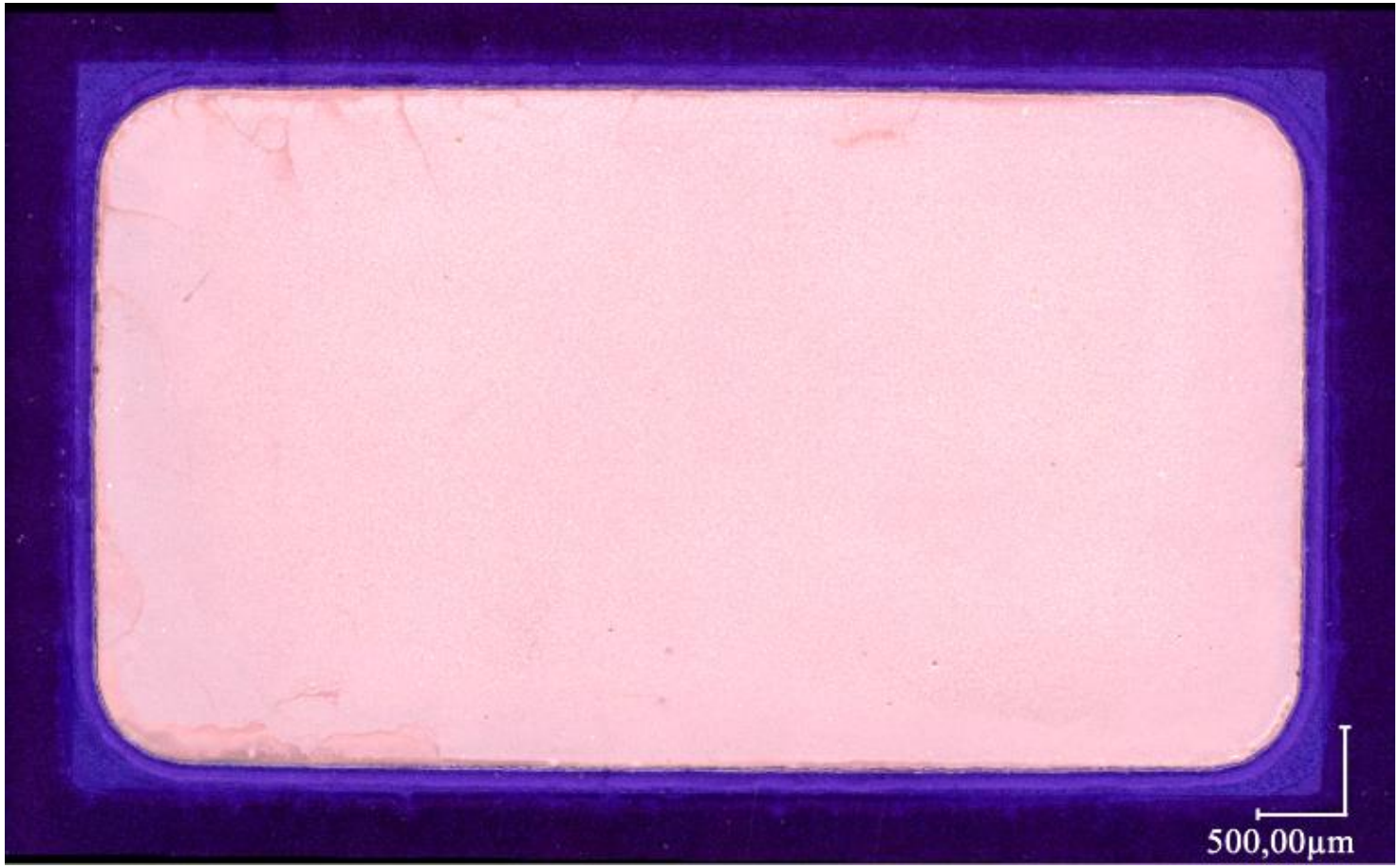
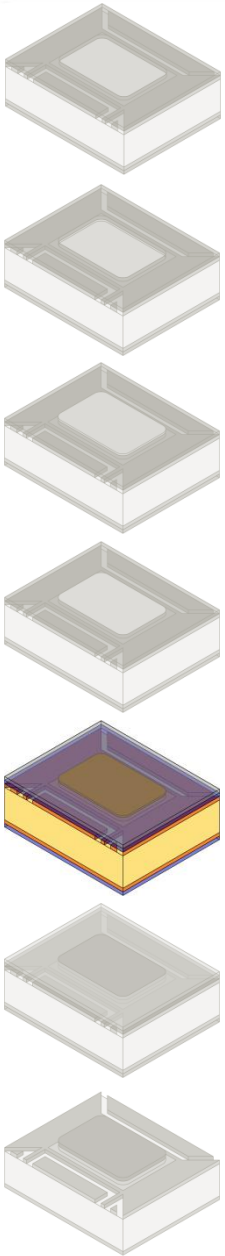


Image de la zone de dépôt après nivellement par électro-gravure au microscope numérique (x200)

Procédé de fabrication

Préparation des interfaces structurées



6. Amorçage par électrodéposition de cuivre dans la membrane (cathode) ≈ 1 heure

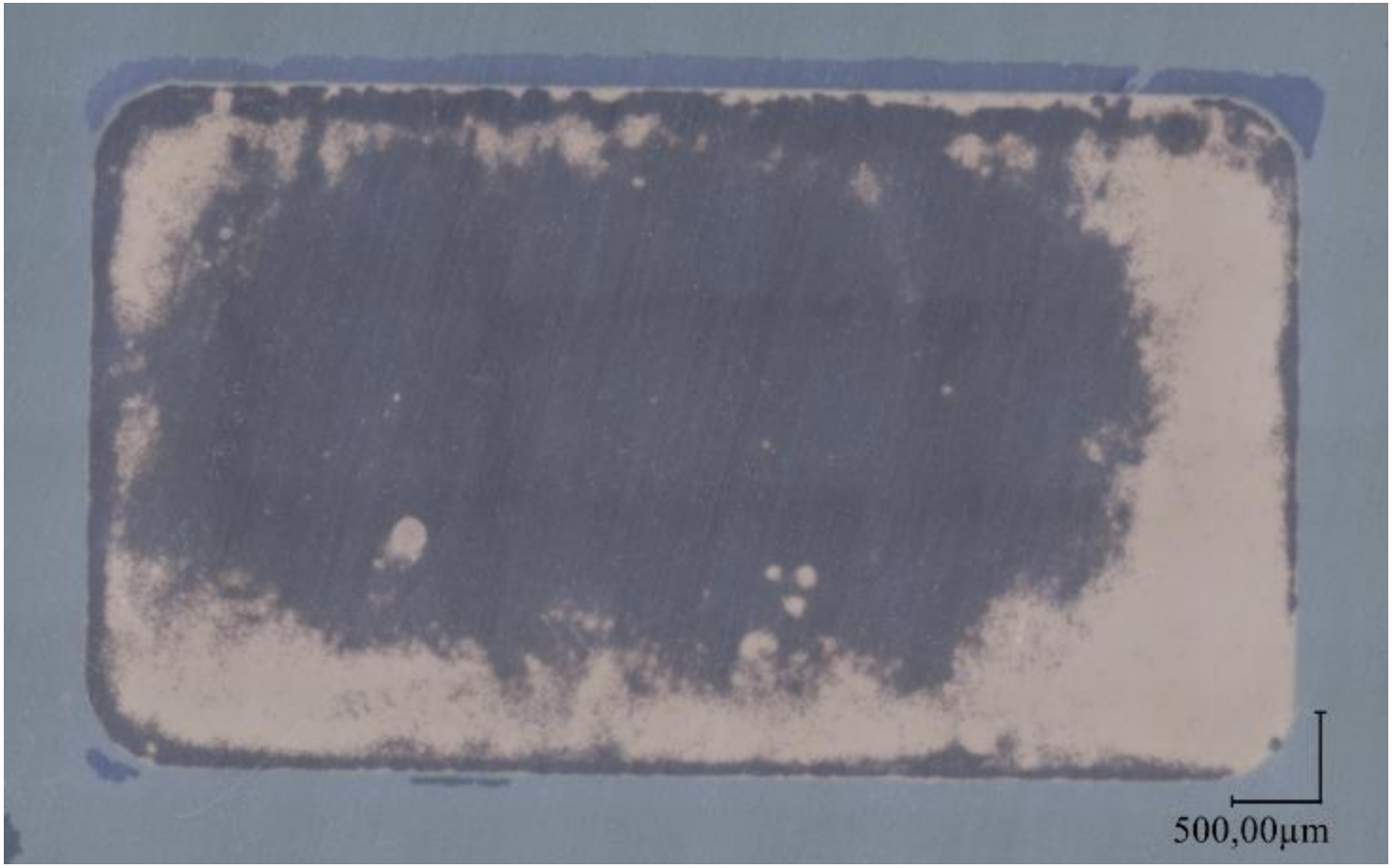
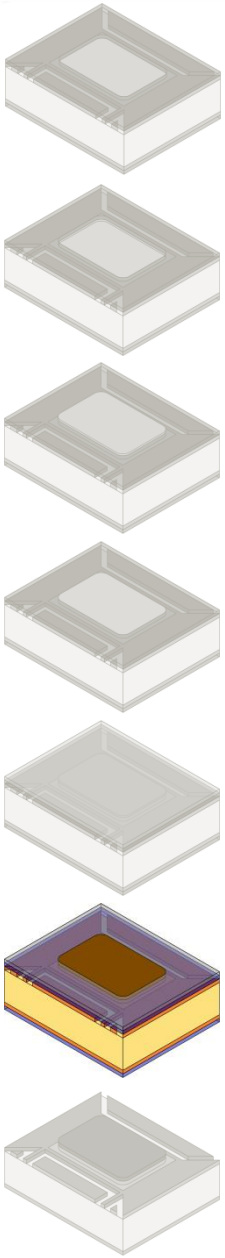


Image de la zone de dépôt après amorçage des nano fils par électrodéposition au microscope numérique (x200)

Procédé de fabrication

Préparation des interfaces structurées

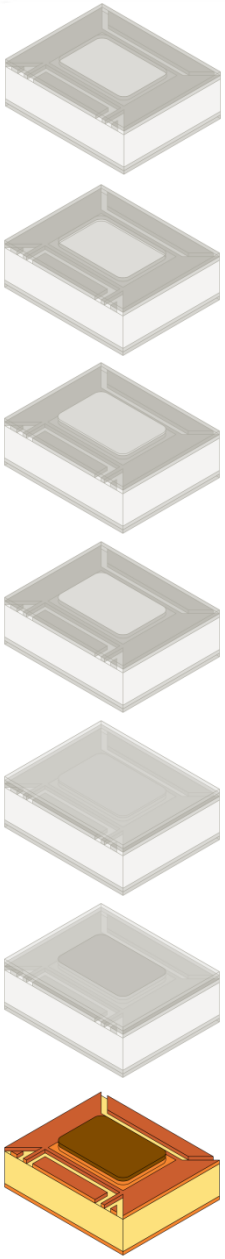


7. Remplissage par électrodéposition de cuivre dans la membrane (cathode) ≈ 6 heures

Image de la zone de dépôt après remplissage de la membrane par électrodéposition au microscope numérique (x200)

Procédé de fabrication

Préparation des interfaces structurées



8. Retrait de la membrane et du film photosensible par traitement chimique

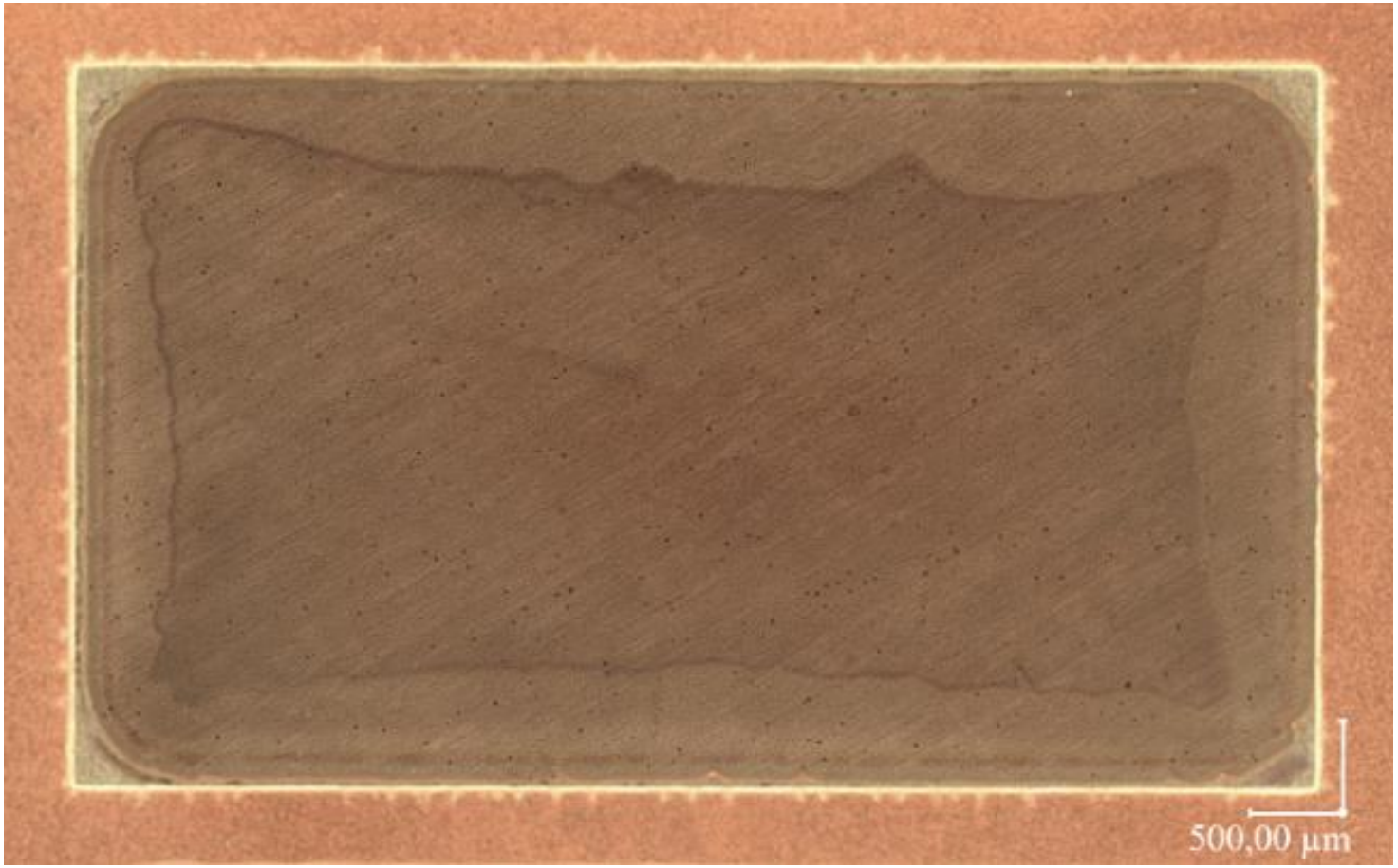
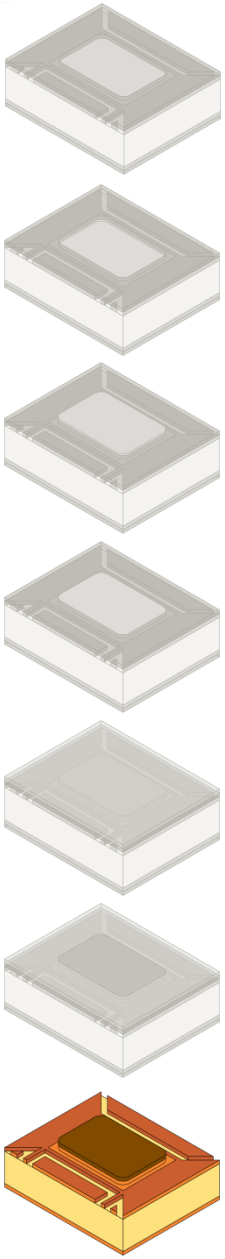


Image de l'interface structurée obtenue
au microscope numérique (x200)

Procédé de fabrication

Préparation des interfaces structurées



8. Retrait de la membrane et du film photosensible par traitement chimique

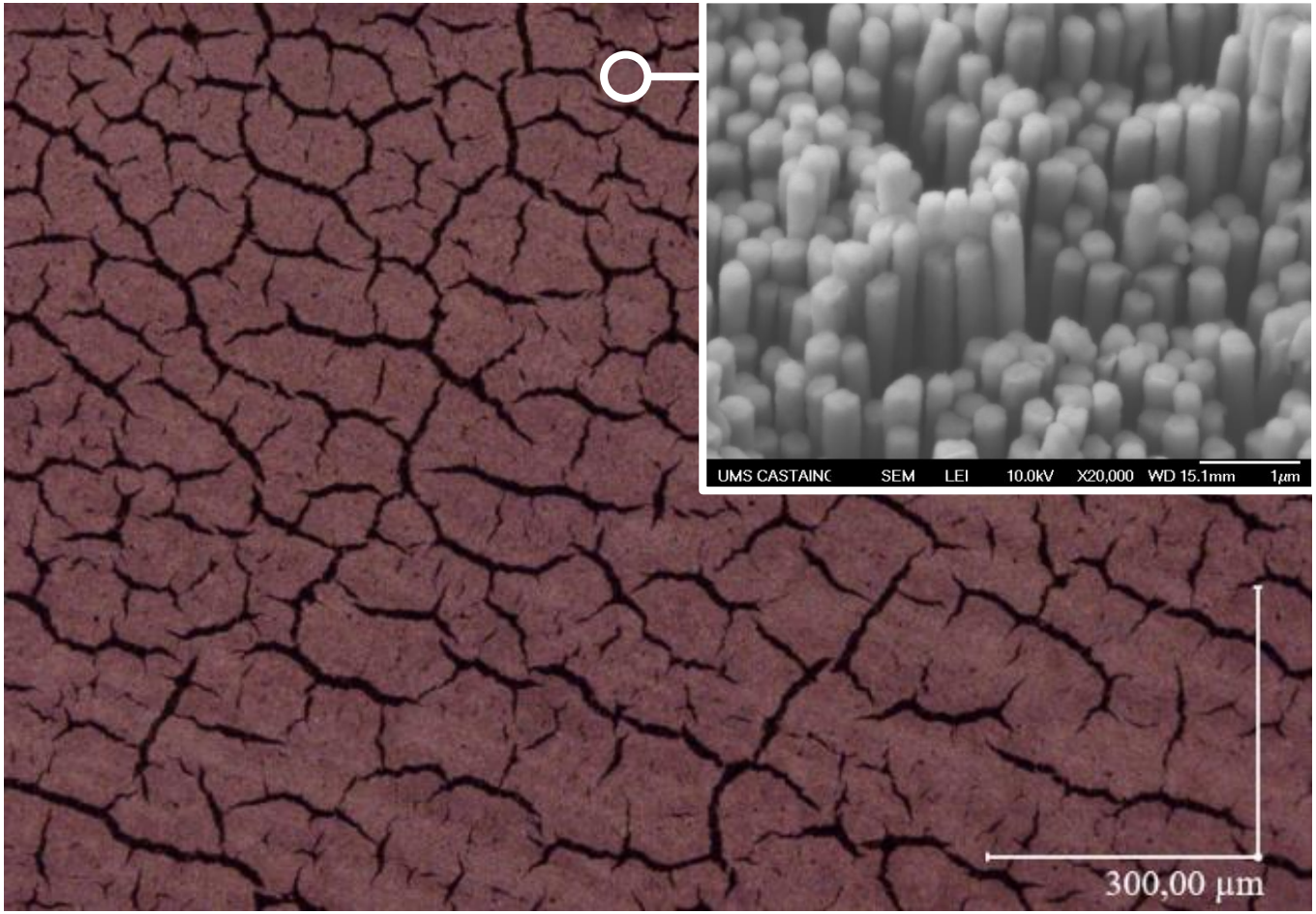
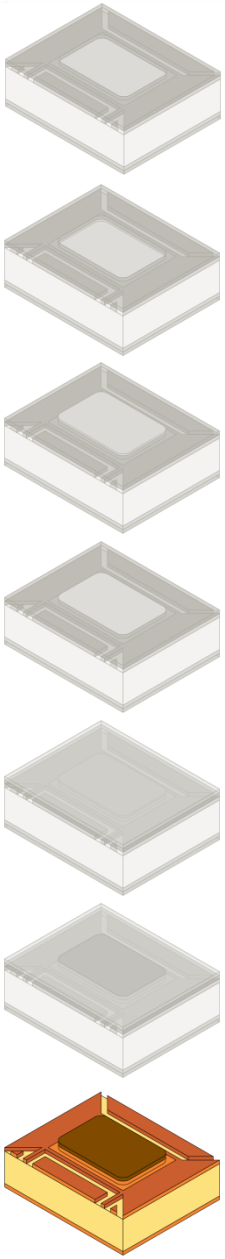


Image en vue de dessus de l'interface structurée obtenue
au microscope numérique (x1000) et au microscope électronique à balayage (x20000)

Procédé de fabrication

Préparation des interfaces structurées



8. Retrait de la membrane et du film photosensible par traitement chimique

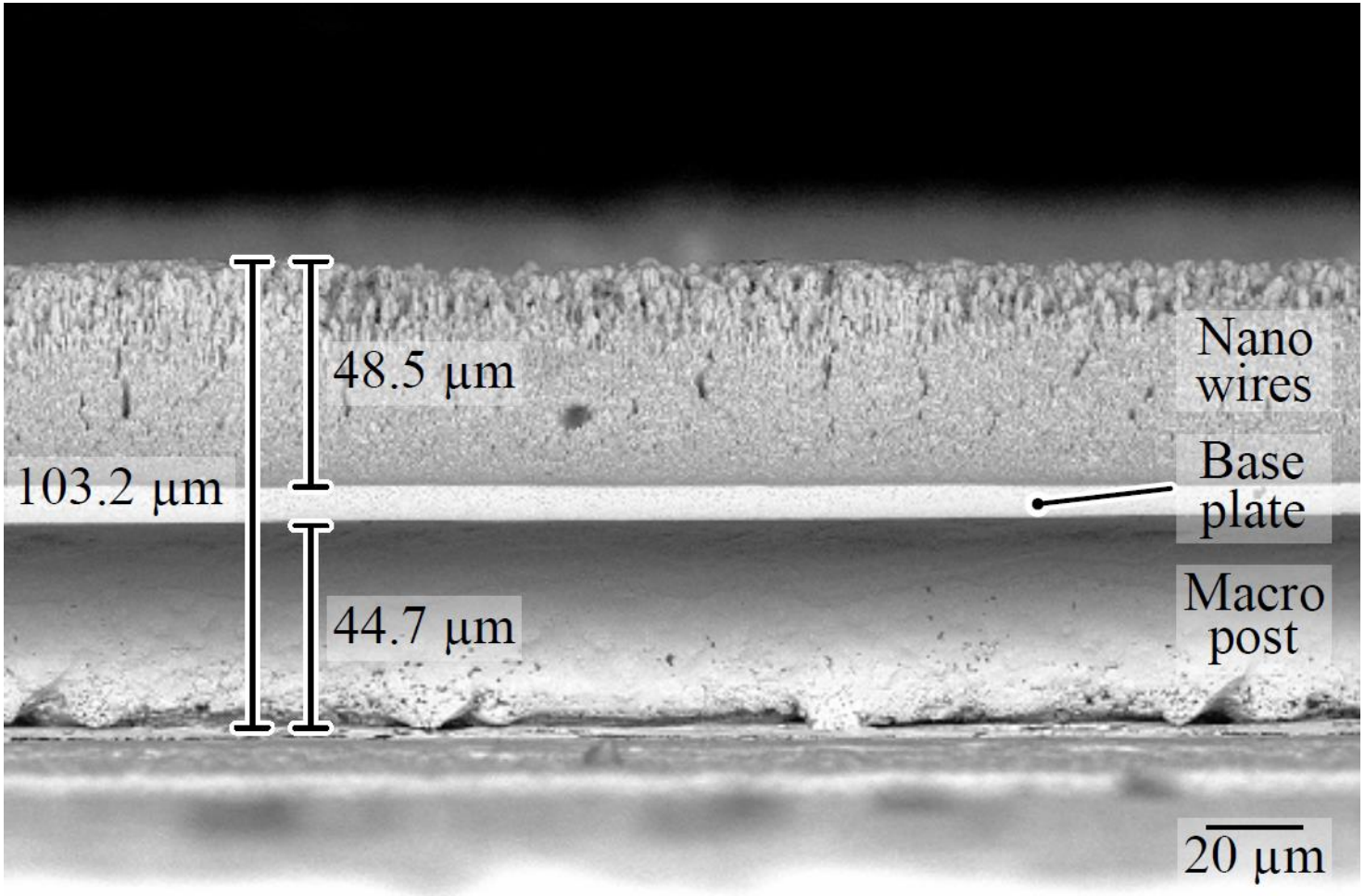
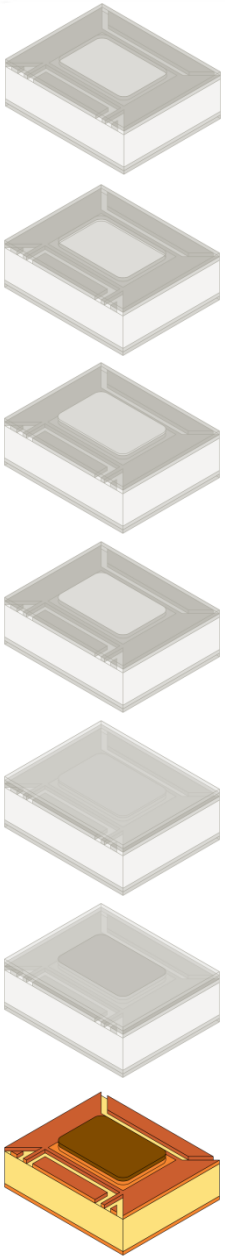


Image en vue de profil de l'interface structurée obtenue au microscope électronique à balayage (x400)

Procédé de fabrication

Préparation des interfaces structurées



8. Retrait de la membrane et du film photosensible par traitement chimique

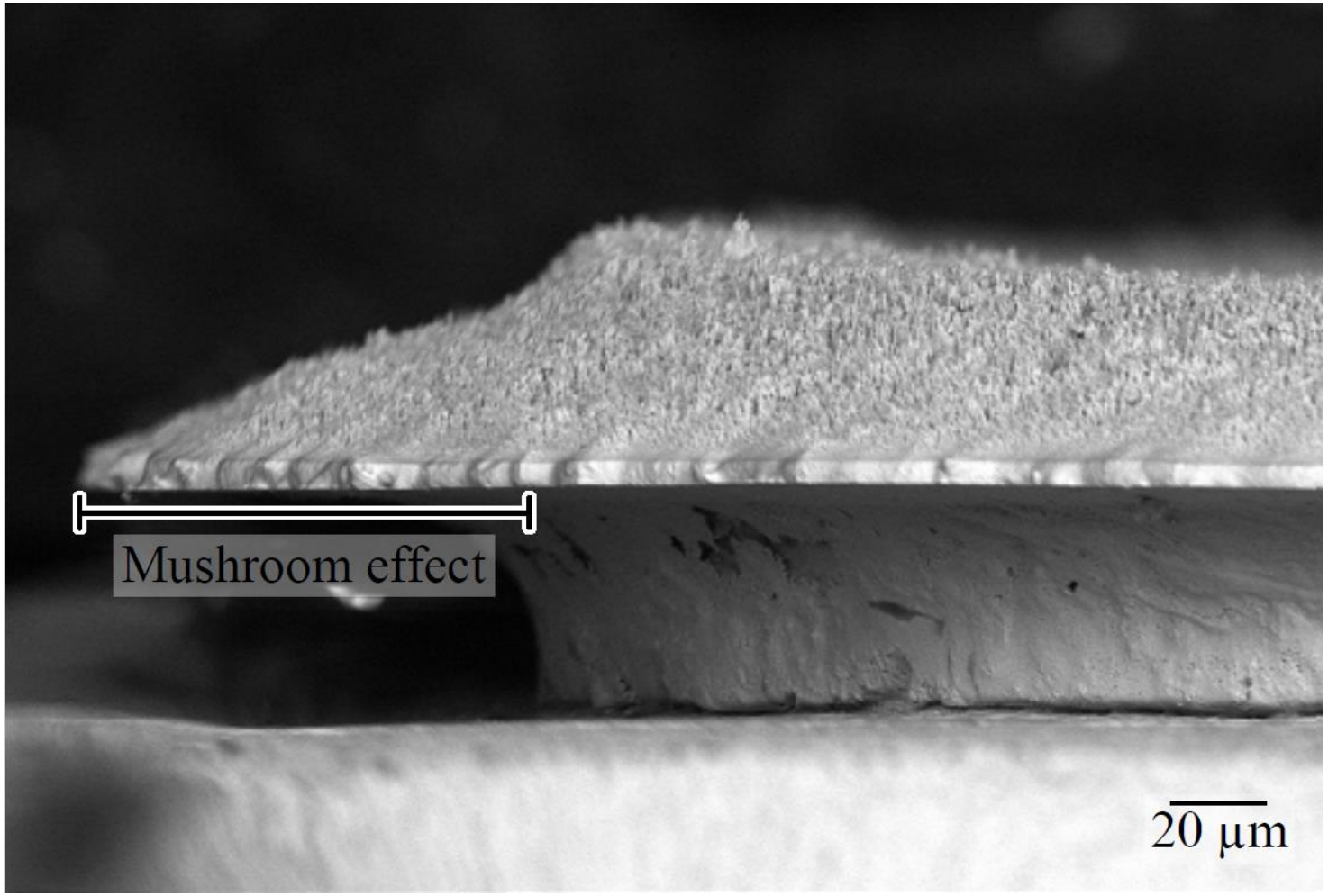


Image en vue de profil de l'interface structurée obtenue au microscope électronique à balayage (x400)

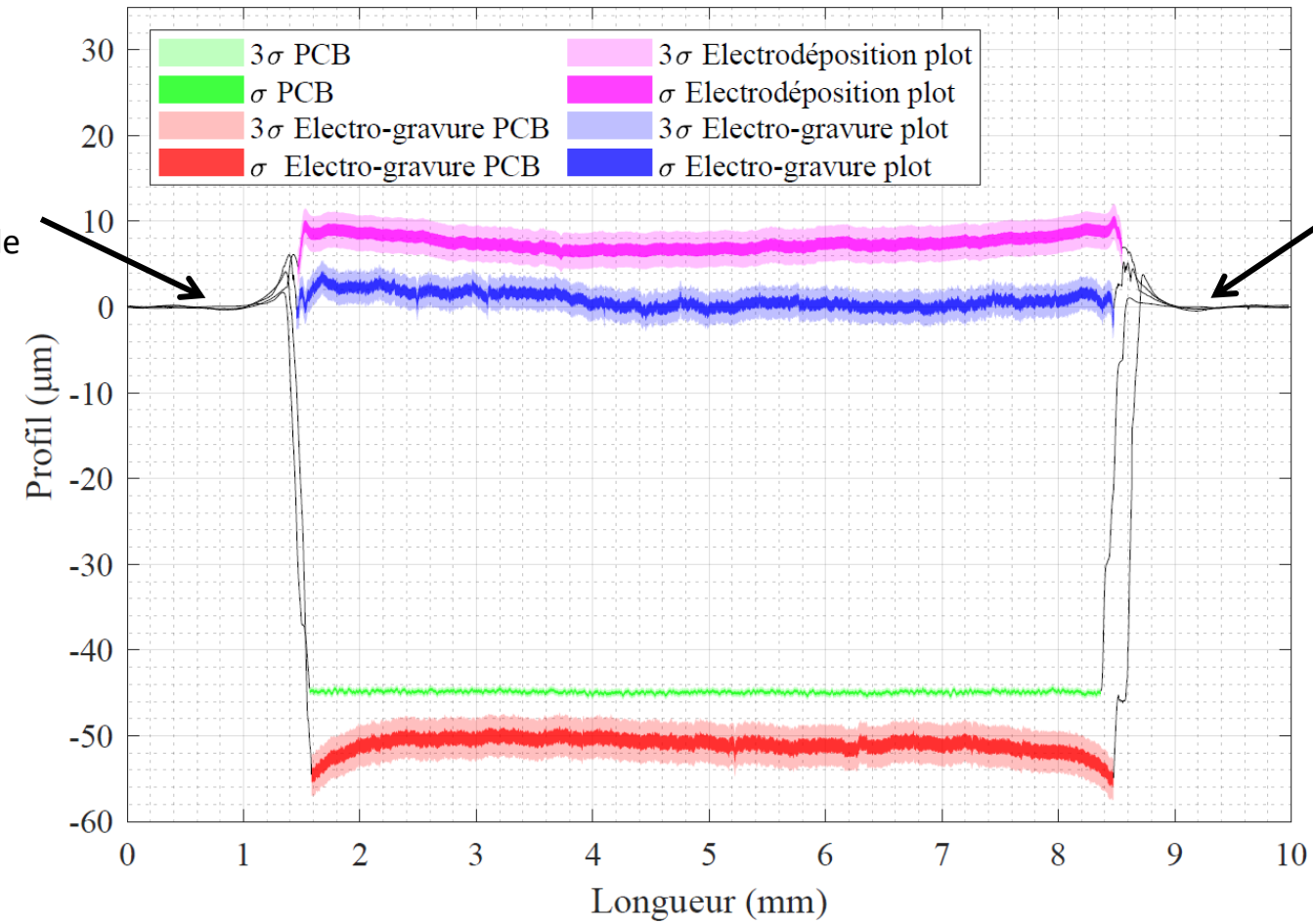
Procédé de fabrication

La répétabilité et le rendement faradique

- **Validation du macro poteau**

3σ (99,7%) < ± 2,4 µm
92,5% ⩽ η ⩽ 94,9%

Film photosensible



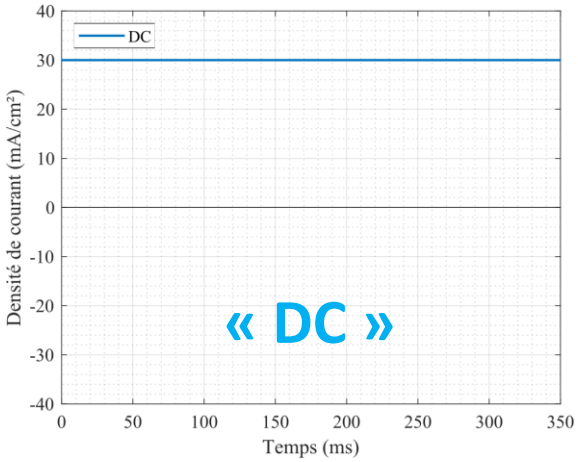
Film photosensible

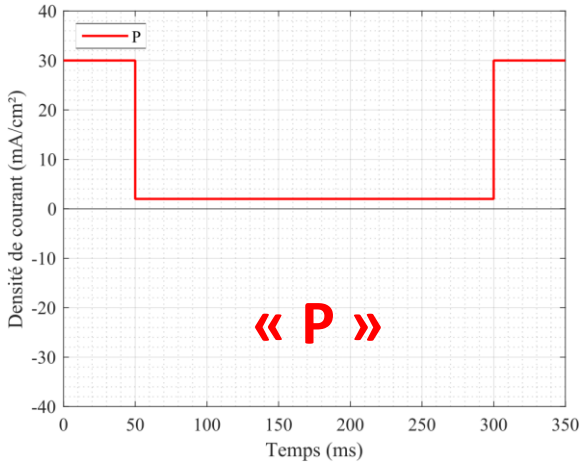
Analyse statistique des étapes de dépôts et des électro-gravures de « 6 » macro poteaux en cuivre

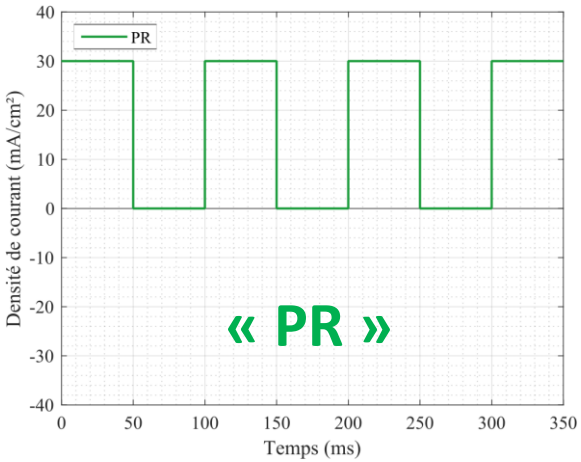
Procédé de fabrication

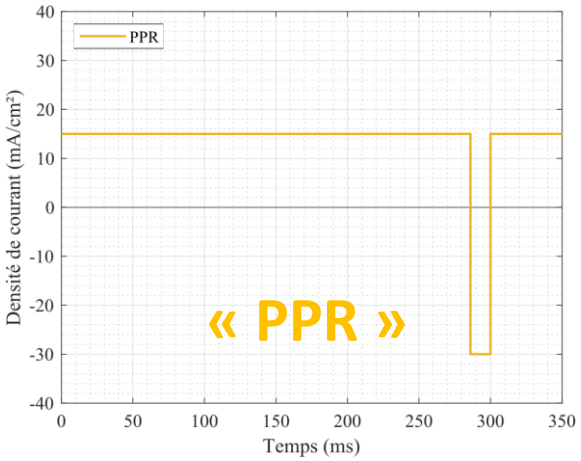
Les profils de courant : Les différentes formes d'onde testées

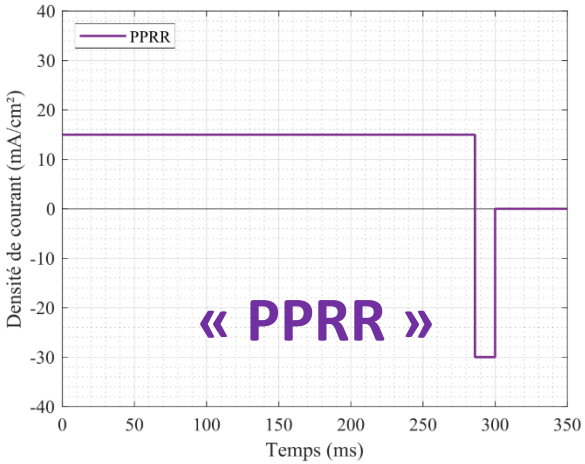
➢ **Validation de la nano structure**









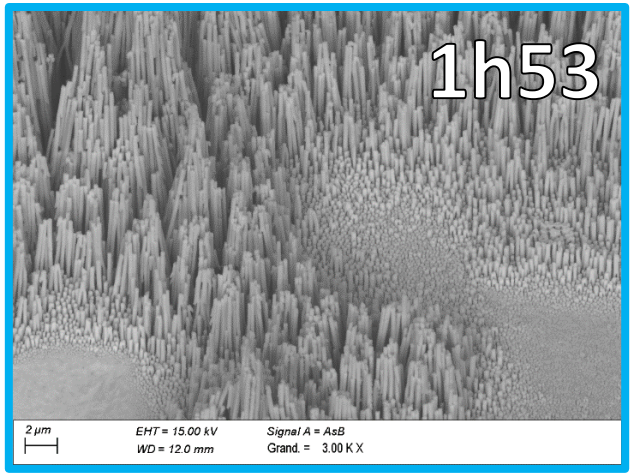


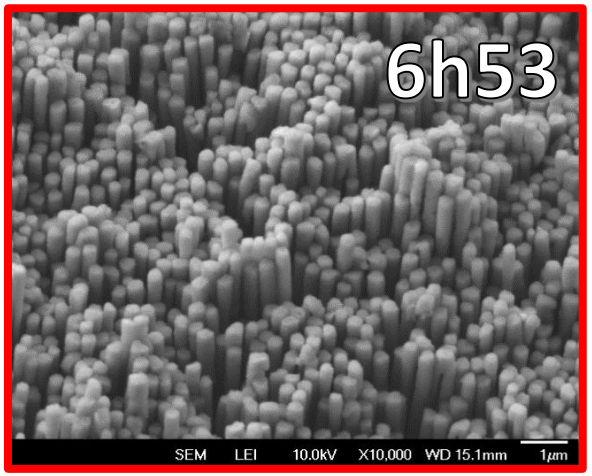
Les profils de courant : Continu (DC), Pulsé (P), Pulsé avec relaxation (PR), Pulsé avec inversion de polarité (PPR) et Pulsé avec inversion de polarité et relaxation (PPRR)

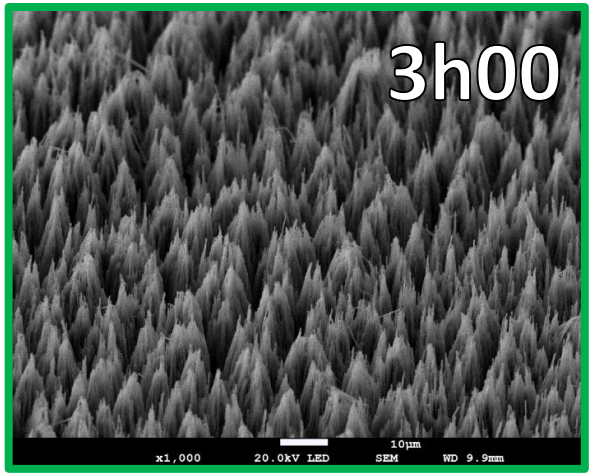
Procédé de fabrication

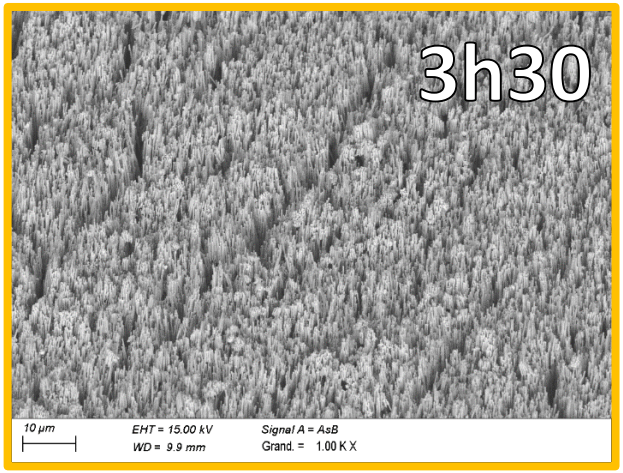
Les profils de courant : Les différentes formes d'onde testées

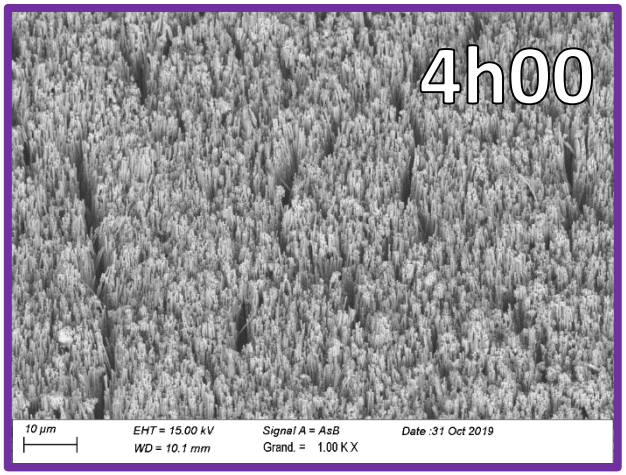
➢ **Validation de la nano structure**











Les profils de courant : Continu (**DC**), Pulsé (**P**), Pulsé avec relaxation (**PR**), Pulsé avec inversion de polarité (**PPR**) et Pulsé avec inversion de polarité et relaxation (**PPRR**)

Procédé de fabrication

Les profils de courant : Les différentes formes d'onde testées

➢ **Validation de la nano structure**

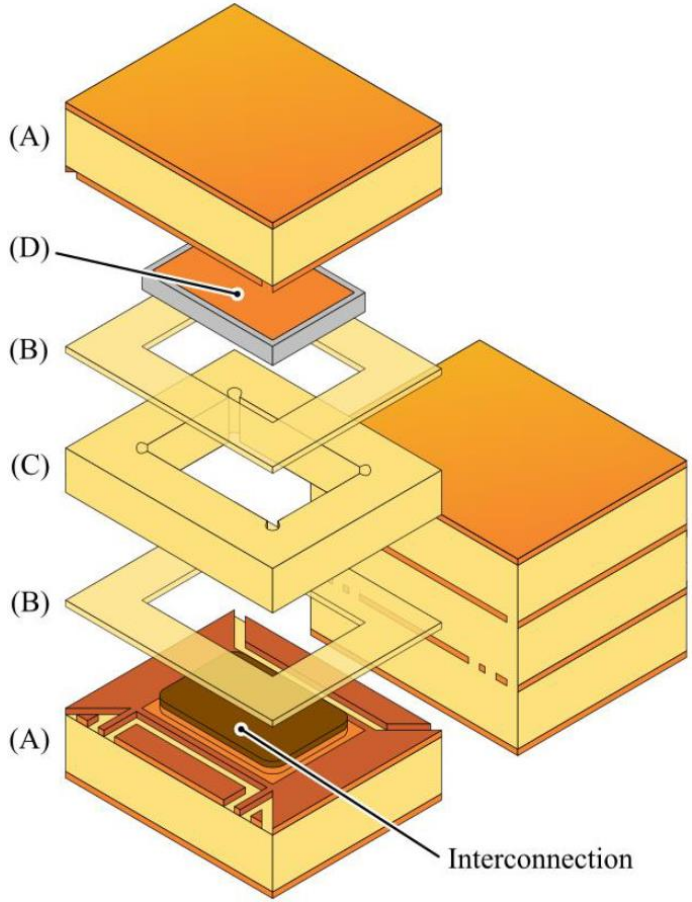
Profil	« DC »	« P »	« PR »	« PPR »	« PPRR »
Différence de hauteur des fils	+	+ + +	+ +	+ +	+ +
Effet « champignon »	+	+ + +	+ + +	+ +	+ +
Défauts visualisés	+	+ + +	+ +	+ +	+ + +
Durée de dépôt	+ + +	+	+	+	+ +
Classement final	5ième (6 +)	1er (10 +)	3ième (8 +)	4ième (7 +)	2ième (9 +)

Tableau récapitulatif des caractéristiques obtenues en fonction de la forme d'onde utilisée

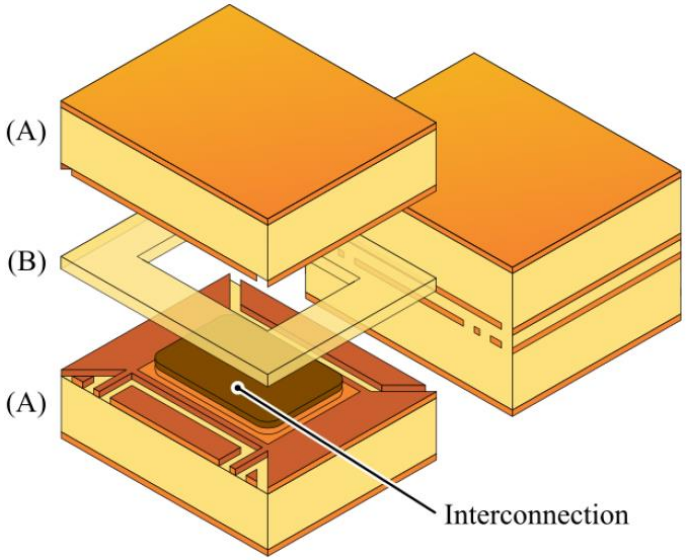
Procédé de fabrication

L'assemblage des prototypes

- **Schéma en vue éclatée et assemblée des deux prototypes proposés**



(A) PCB substrate
(B) Prepreg
(C) Core
(D) Die



Enfouissement d'une puce « factice »

Pour validation

Enfouissement d'une interface structurée

Pour caractérisation

Procédé de fabrication

L'assemblage des prototypes

➢ **Gestion des épaisseurs des empilements conducteur et diélectrique**

1. **Conducteur < Diélectrique**
2. **Conducteur > Diélectrique**

Avec un **Δ = 20 µm** par interface structurée

⚠ **Afin de garantir un contact ohmique optimal**

1. Pour une puce factice enfouie

Conducteur = 2 x Interface structurée + Puce

Conducteur = 2 x 100 µm + 300 µm

Conducteur = 500 µm

Diélectrique = Conducteur – 2 x Δ

Diélectrique = 500 µm – 2 x 20 µm

Diélectrique = 460 µm
Avec *une puce interconnectée*

2. Pour une interface structurée enfouie

Conducteur = Interface structurée

Conducteur = 100 µm

Diélectrique = Conducteur – Δ

Diélectrique = 100 µm – 20 µm

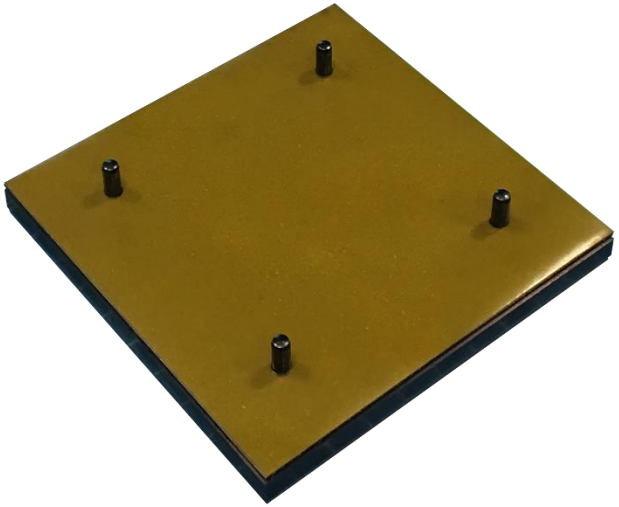
Diélectrique = 80 µm
Avec une interface structurée

Procédé de fabrication

L'assemblage des prototypes

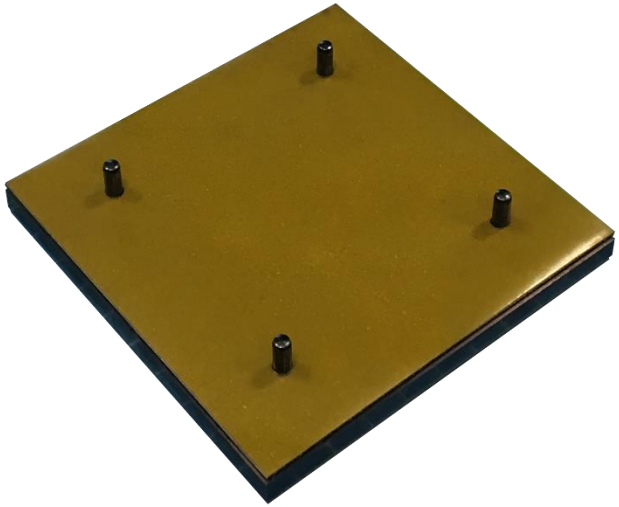
- **Avec une puce factice**

1. Préparation du support



- **Avec une interface structurée**

1. Préparation du support

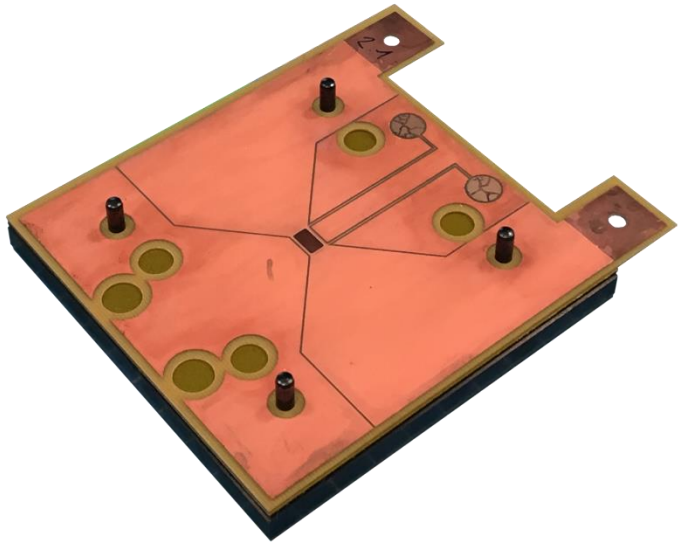


Procédé de fabrication

L'assemblage des prototypes

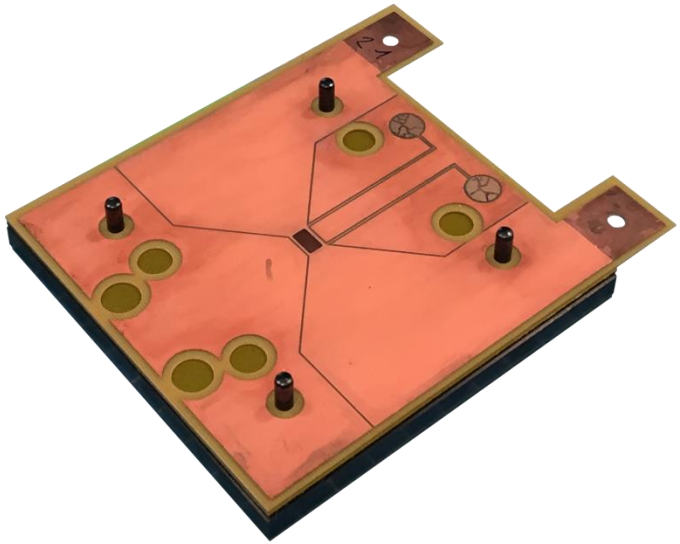
- **Avec une puce factice**

1. Préparation du support
2. Substrat PCB avec interface structurée



- **Avec une interface structurée**

1. Préparation du support
2. Substrat PCB avec interface structurée

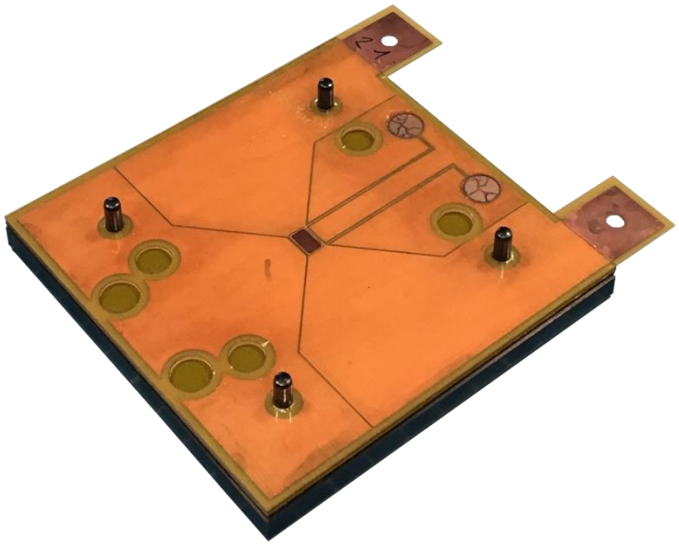


Procédé de fabrication

L'assemblage des prototypes

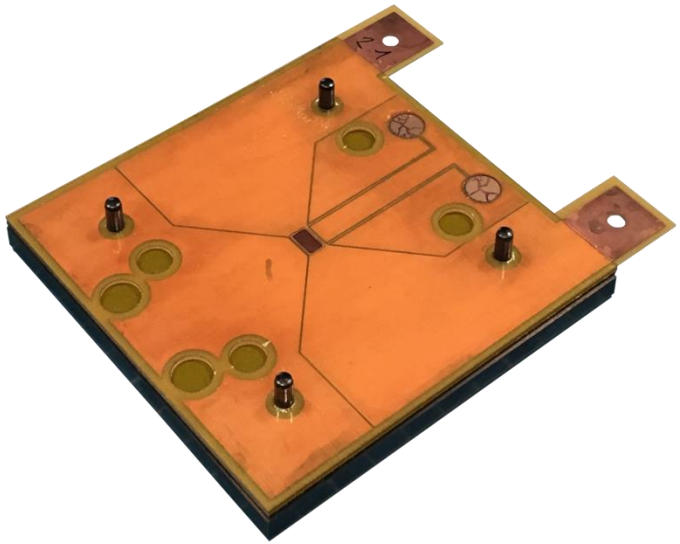
➢ Avec une puce factice

1. Préparation du support
2. Substrat PCB avec interface structurée
3. Feuille de préimprégné avec ouvertures



➢ Avec une interface structurée

1. Préparation du support
2. Substrat PCB avec interface structurée
3. Feuille de préimprégné avec ouvertures

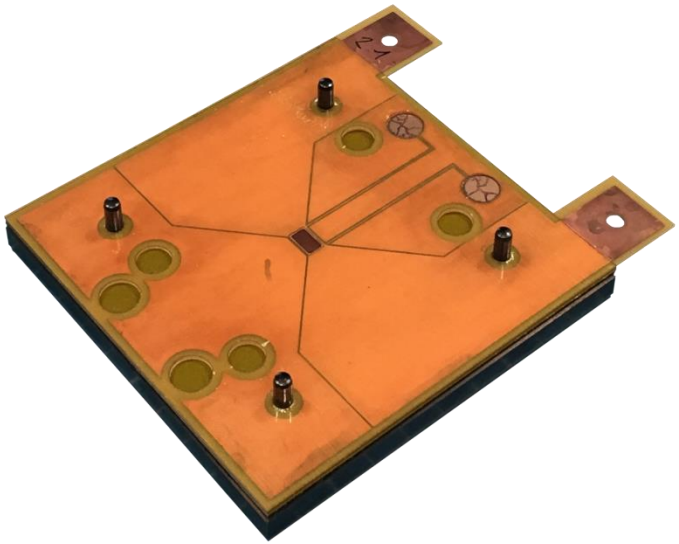


Procédé de fabrication

L'assemblage des prototypes

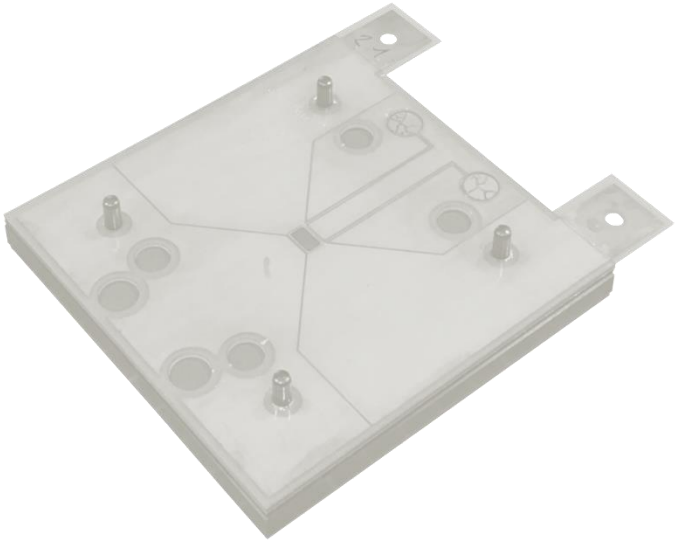
➢ Avec une puce factice

1. Préparation du support
2. Substrat PCB avec interface structurée
3. Feuille de préimprégné avec ouvertures



➢ Avec une interface structurée

1. Préparation du support
2. Substrat PCB avec interface structurée
3. Feuille de préimprégné avec ouvertures

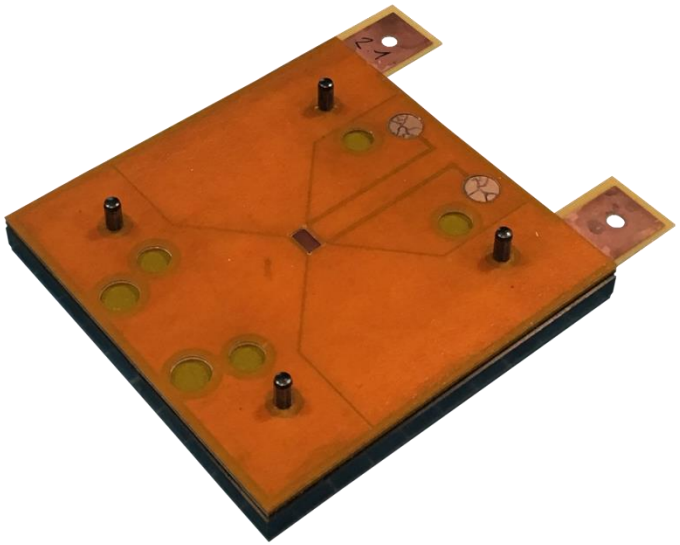


Procédé de fabrication

L'assemblage des prototypes

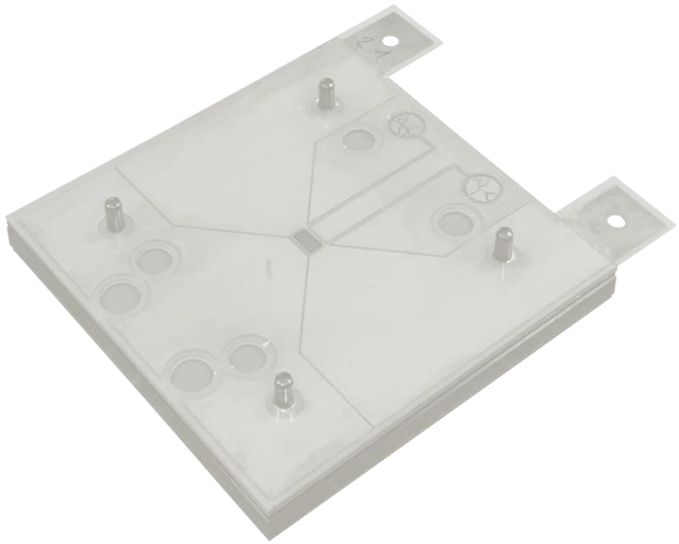
➢ Avec une puce factice

1. Préparation du support
2. Substrat PCB avec interface structurée
3. Feuille de préimprégné avec ouvertures
4. Laminé préstratifié avec ouvertures



➢ Avec une interface structurée

1. Préparation du support
2. Substrat PCB avec interface structurée
3. Feuille de préimprégné avec ouvertures



Procédé de fabrication

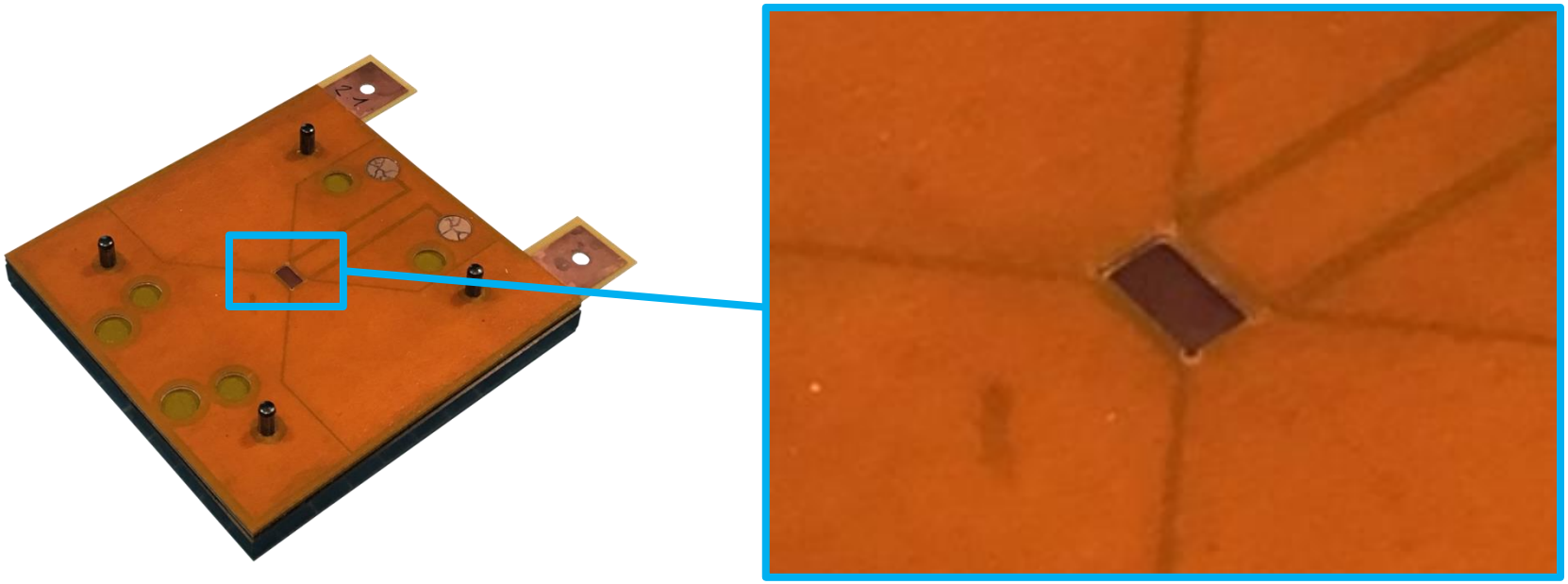
L'assemblage des prototypes

➢ Avec une puce factice

1. Préparation du support
2. Substrat PCB avec interface structurée
3. Feuille de préimprégné avec ouvertures
4. Laminé préstratifié avec ouvertures

➢ Avec une interface structurée

1. Préparation du support
2. Substrat PCB avec interface structurée
3. Feuille de préimprégné avec ouvertures



Procédé de fabrication

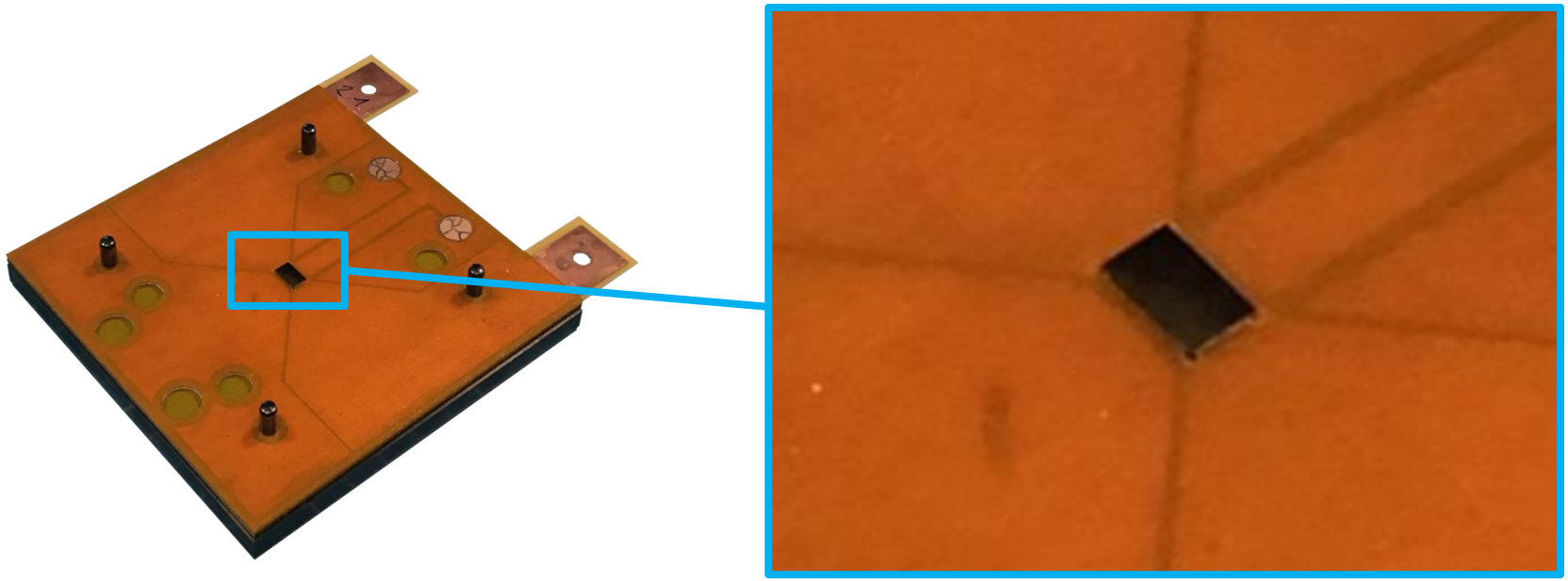
L'assemblage des prototypes

➢ Avec une puce factice

1. Préparation du support
2. Substrat PCB avec interface structurée
3. Feuille de préimprégné avec ouvertures
4. Laminé préstratifié avec ouvertures
5. Puce factice

➢ Avec une interface structurée

1. Préparation du support
2. Substrat PCB avec interface structurée
3. Feuille de préimprégné avec ouvertures

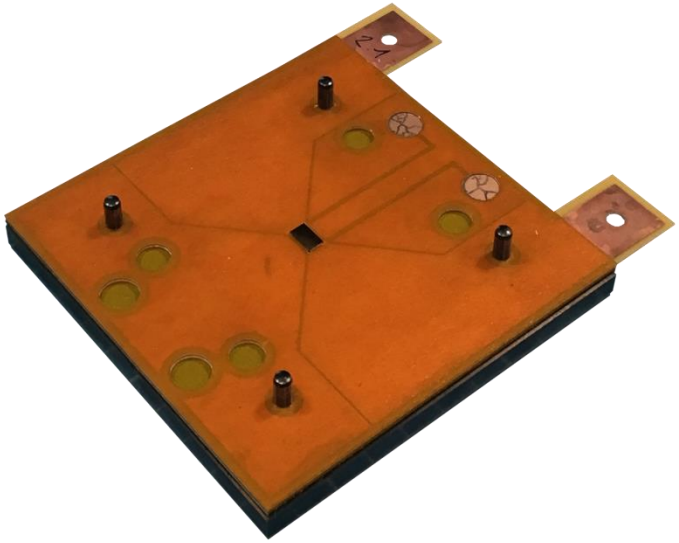


Procédé de fabrication

L'assemblage des prototypes

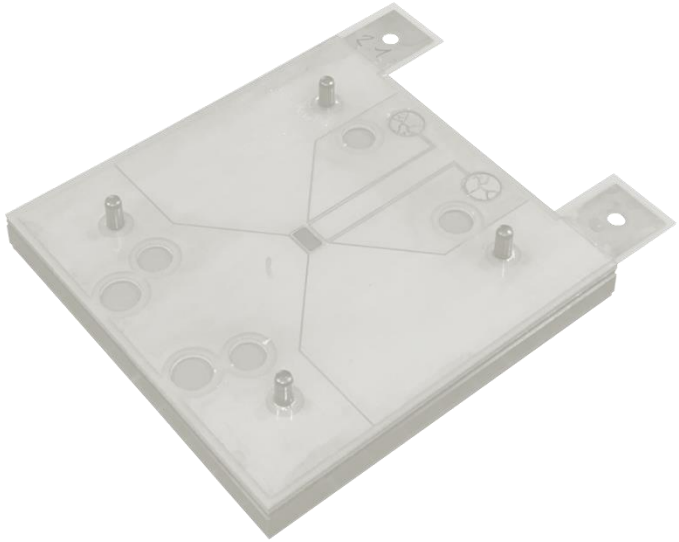
➢ Avec une puce factice

1. Préparation du support
2. Substrat PCB avec interface structurée
3. Feuille de préimprégné avec ouvertures
4. Laminé préstratifié avec ouvertures
5. Puce factice



➢ Avec une interface structurée

1. Préparation du support
2. Substrat PCB avec interface structurée
3. Feuille de préimprégné avec ouvertures

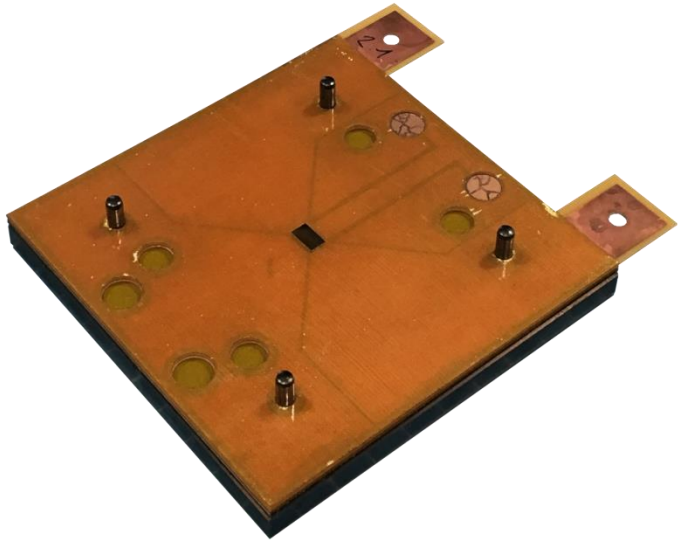


Procédé de fabrication

L'assemblage des prototypes

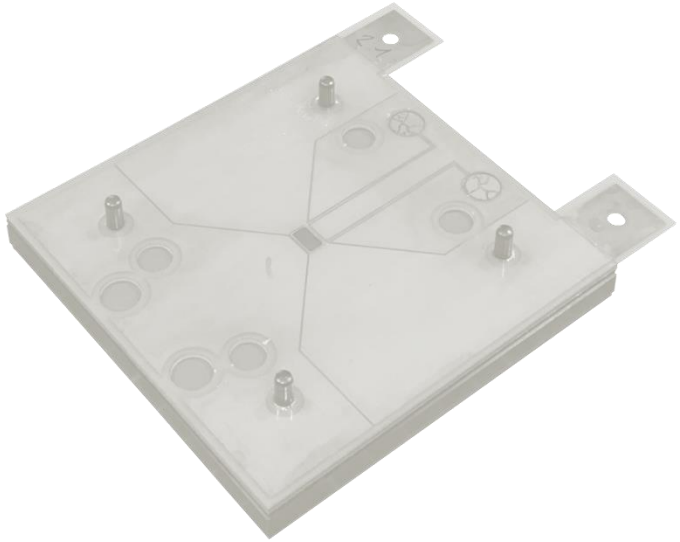
➢ Avec une puce factice

1. Préparation du support
2. Substrat PCB avec interface structurée
3. Feuille de préimprégné avec ouvertures
4. Laminé préstratifié avec ouvertures
5. Puce factice
6. Feuille de préimprégné avec ouvertures



➢ Avec une interface structurée

1. Préparation du support
2. Substrat PCB avec interface structurée
3. Feuille de préimprégné avec ouvertures

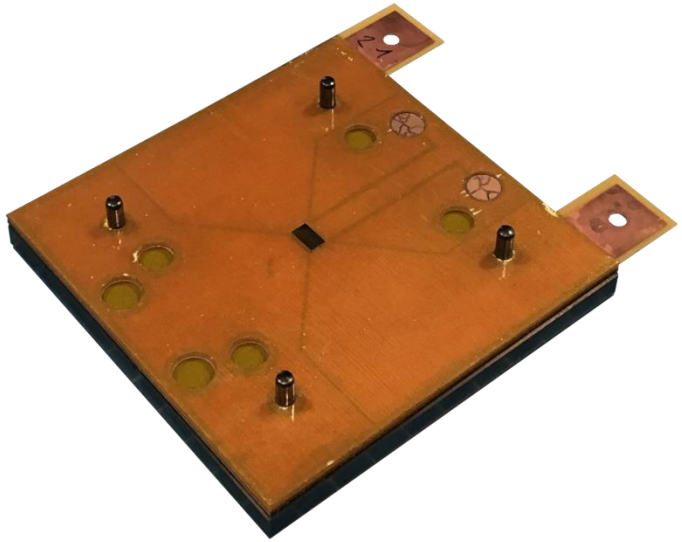


Procédé de fabrication

L'assemblage des prototypes

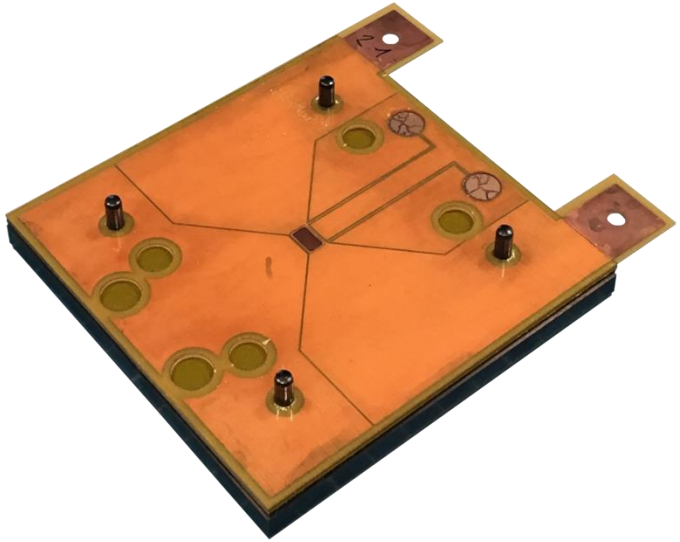
➢ Avec une puce factice

1. Préparation du support
2. Substrat PCB avec interface structurée
3. Feuille de préimprégné avec ouvertures
4. Laminé préstratifié avec ouvertures
5. Puce factice
6. Feuille de préimprégné avec ouvertures



➢ Avec une interface structurée

1. Préparation du support
2. Substrat PCB avec interface structurée
3. Feuille de préimprégné avec ouvertures

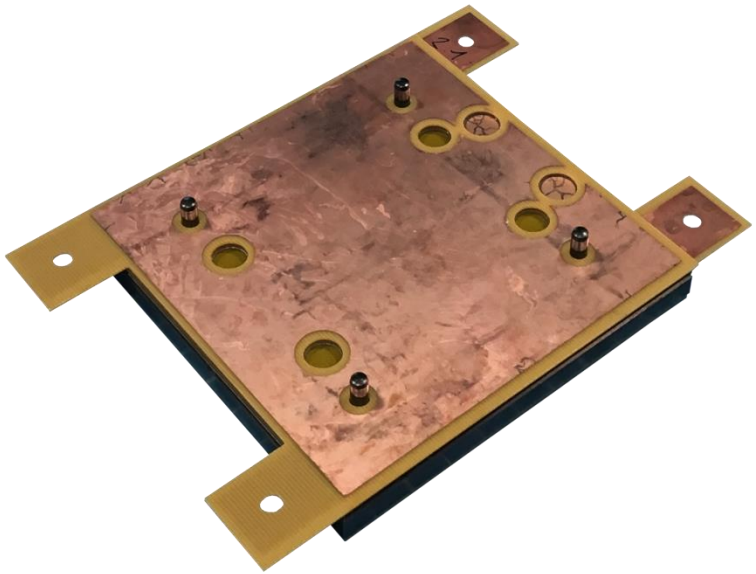


Procédé de fabrication

L'assemblage des prototypes

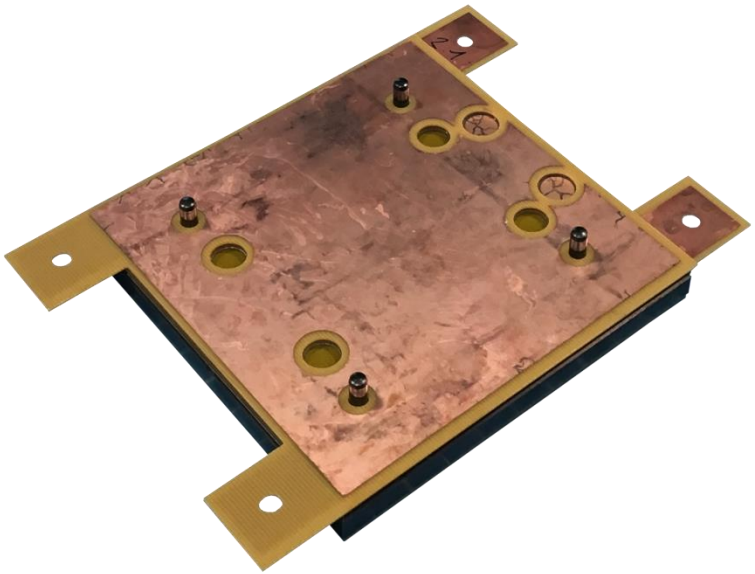
➢ Avec une puce factice

1. Préparation du support
2. Substrat PCB avec interface structurée
3. Feuille de préimprégné avec ouvertures
4. Laminé préstratifié avec ouvertures
5. Puce factice
6. Feuille de préimprégné avec ouvertures
7. Substrat PCB avec interface structurée



➢ Avec une interface structurée

1. Préparation du support
2. Substrat PCB avec interface structurée
3. Feuille de préimprégné avec ouvertures
4. Substrat PCB sans interface structurée

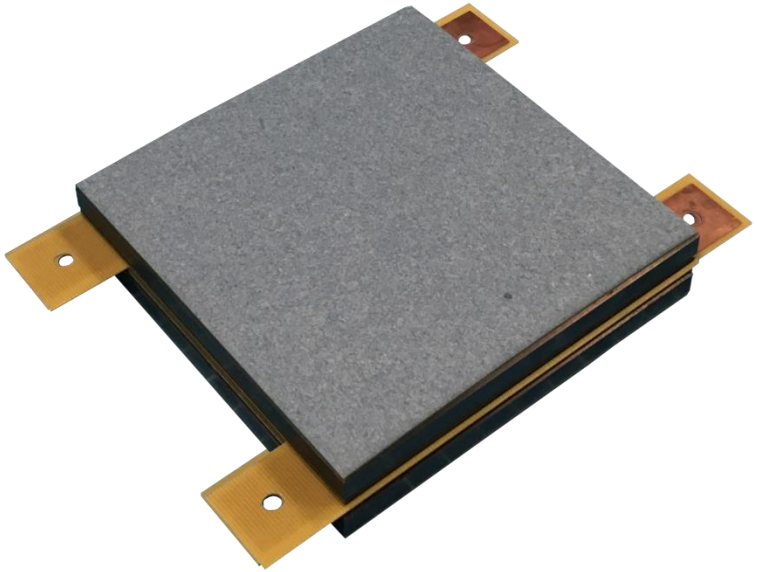


Procédé de fabrication

L'assemblage des prototypes

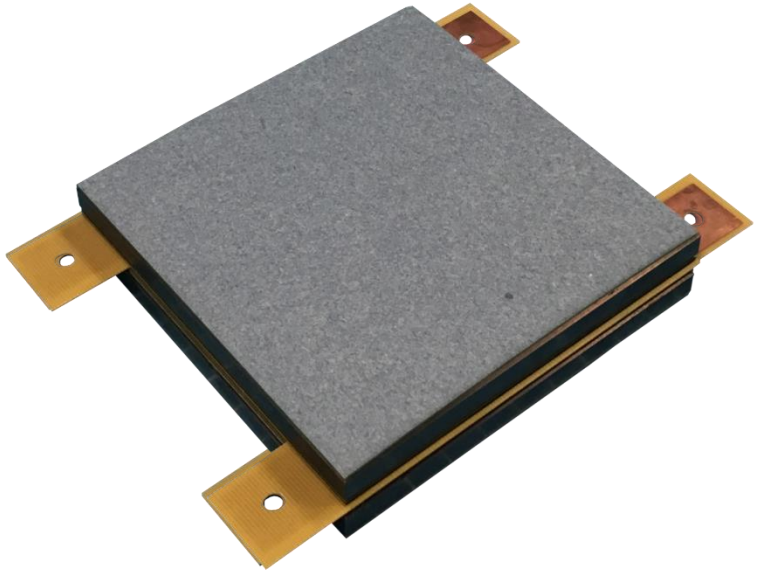
➢ Avec une puce factice

1. Préparation du support
2. Substrat PCB avec interface structurée
3. Feuille de préimprégné avec ouvertures
4. Laminé préstratifié avec ouvertures
5. Puce factice
6. Feuille de préimprégné avec ouvertures
7. Substrat PCB avec interface structurée
8. Fermeture du support et cycle de thermo-compression (2 heures)



➢ Avec une interface structurée

1. Préparation du support
2. Substrat PCB avec interface structurée
3. Feuille de préimprégné avec ouvertures
4. Substrat PCB sans interface structurée
5. Fermeture du support et cycle de thermo-compression (2 heures)

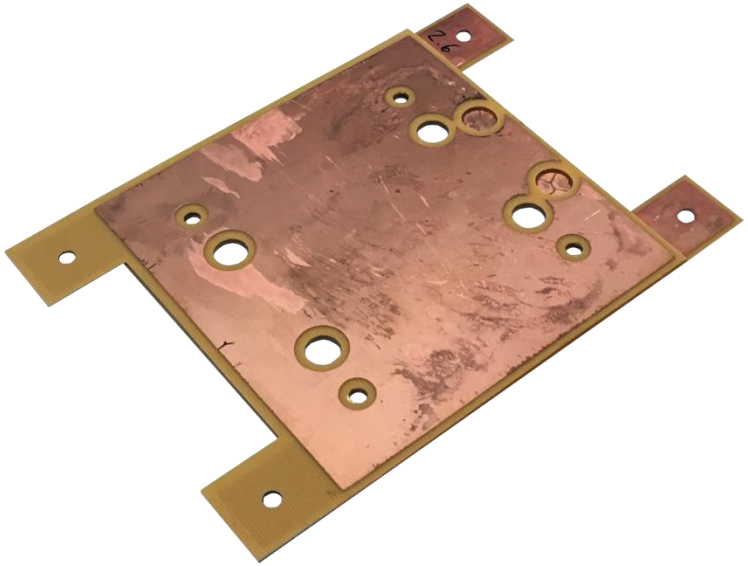


Procédé de fabrication

L'assemblage des prototypes

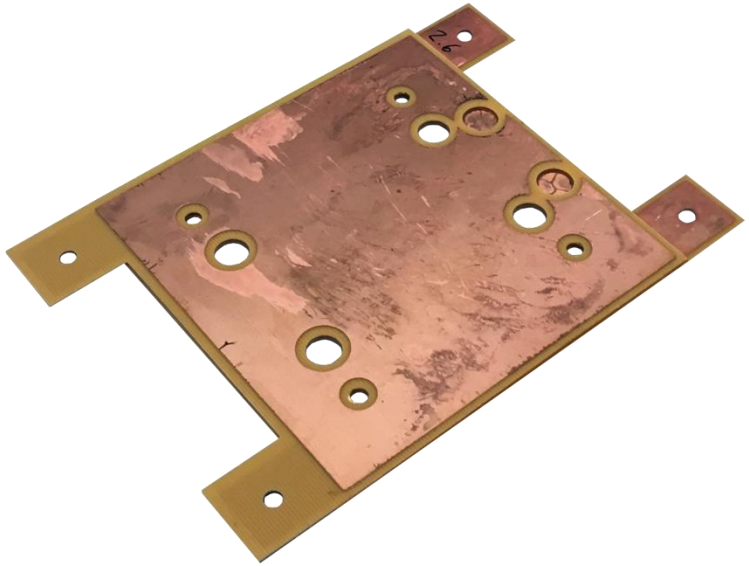
➢ Avec une puce factice

1. Préparation du support
2. Substrat PCB avec interface structurée
3. Feuille de préimprégné avec ouvertures
4. Laminé préstratifié avec ouvertures
5. Puce factice
6. Feuille de préimprégné avec ouvertures
7. Substrat PCB avec interface structurée
8. Fermeture du support et cycle de thermo-compression (2 heures)
9. Retrait du support



➢ Avec une interface structurée

1. Préparation du support
2. Substrat PCB avec interface structurée
3. Feuille de préimprégné avec ouvertures
4. Substrat PCB sans interface structurée
5. Fermeture du support et cycle de thermo-compression (2 heures)
6. Retrait du support



Procédé de fabrication

L'assemblage des prototypes

- **Coupe micrographique d'une interface structurée enfouie**

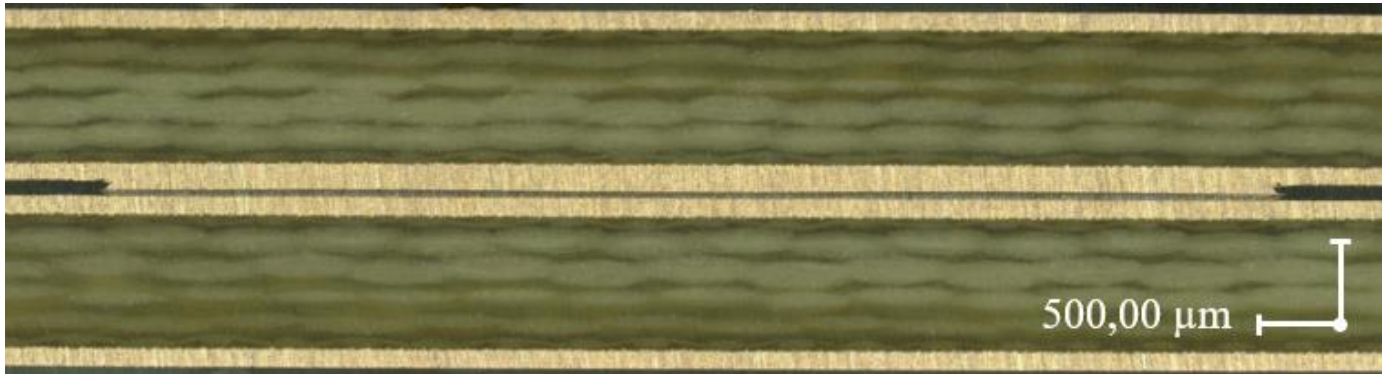


Image d'une interface structurée enfouie au microscope numérique (x100)

- **Coupe micrographique d'une puce factice enfouie**

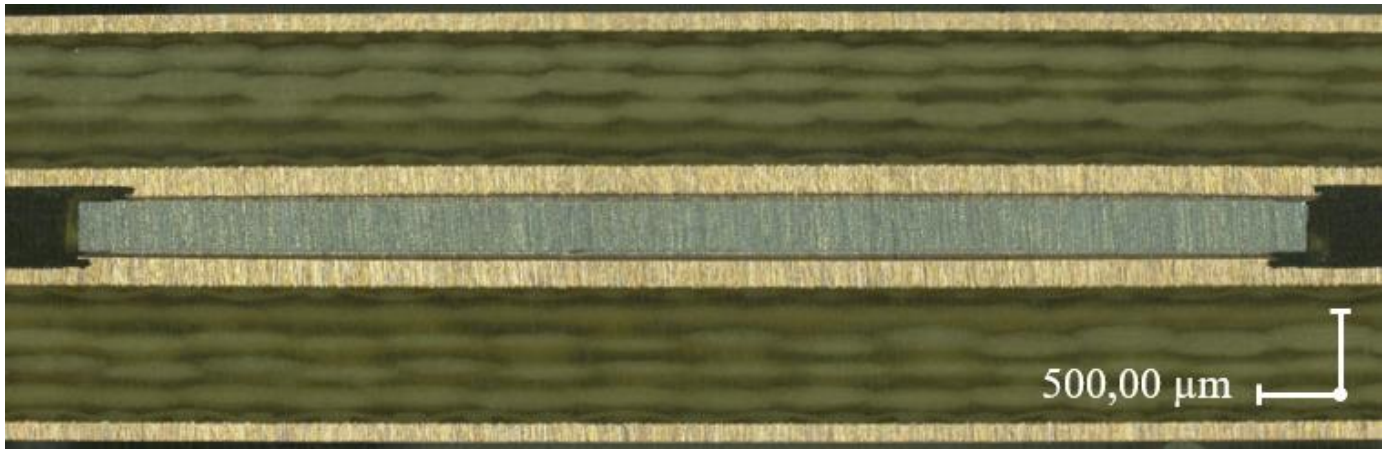


Image d'une puce enfouie au microscope numérique (x100)

Procédé de fabrication

L'assemblage des prototypes

- **Coupe micrographique d'une interface structurée enfouie**

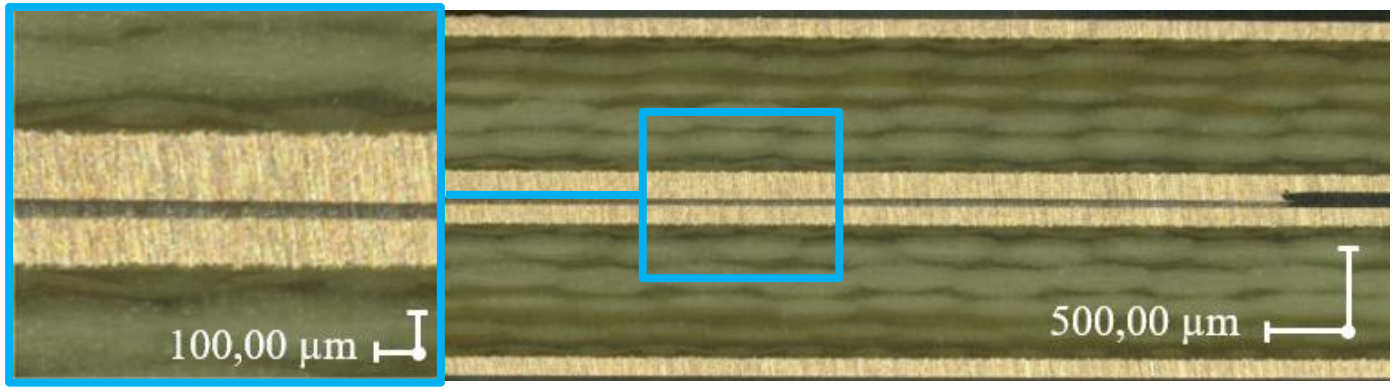


Image d'une interface structurée enfouie au microscope numérique (x100)

- **Coupe micrographique d'une puce factice enfouie**

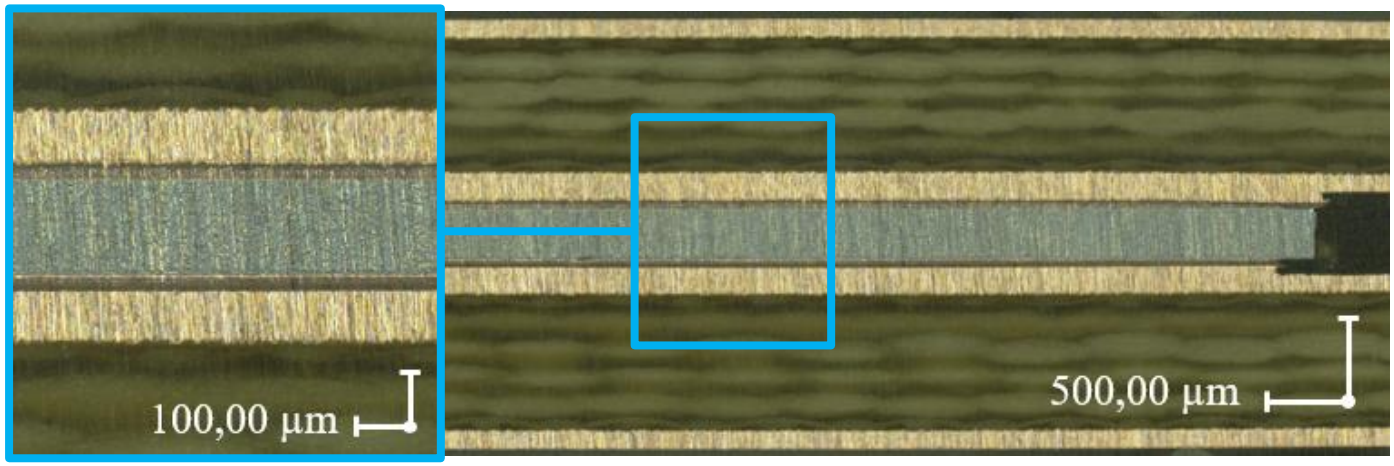


Image d'une puce enfouie au microscope numérique (x100)

Procédé de fabrication

L'assemblage des prototypes

- **Compression des nano structures avec une puce enfouie**

  - Nano structure supérieure :
    Aucune compression relevée

  - Nano structure inférieure :
    Légère compression relevée (≈ 15 µm)

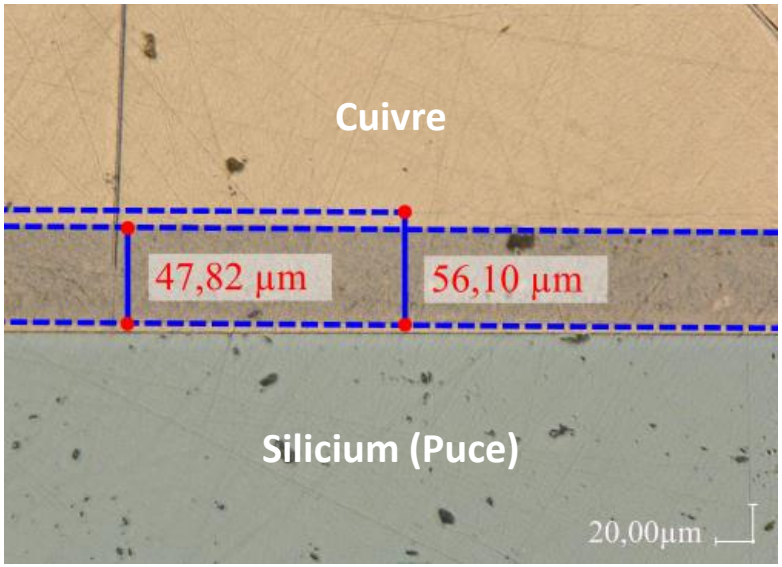


Image du joint nano filaire supérieur
au microscope numérique (x1000)

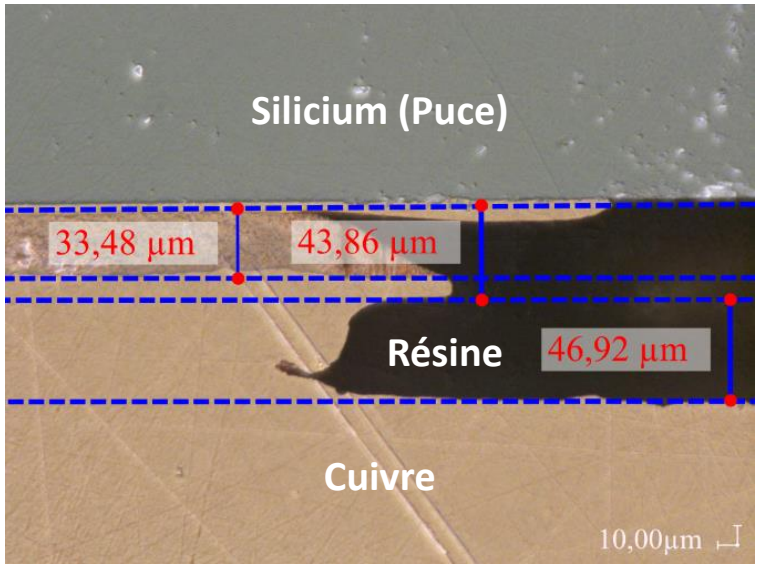


Image du joint nano filaire inférieur
au microscope numérique (x1000)

- **Remarque :**

1. **Densité et homogénéité du joint nano filaire** *(Conduction électrique et thermique)*
2. **Rigidité des nano structures** *(Compression attendue de l'empilement conducteur ≈ 40 µm)*

Sommaire

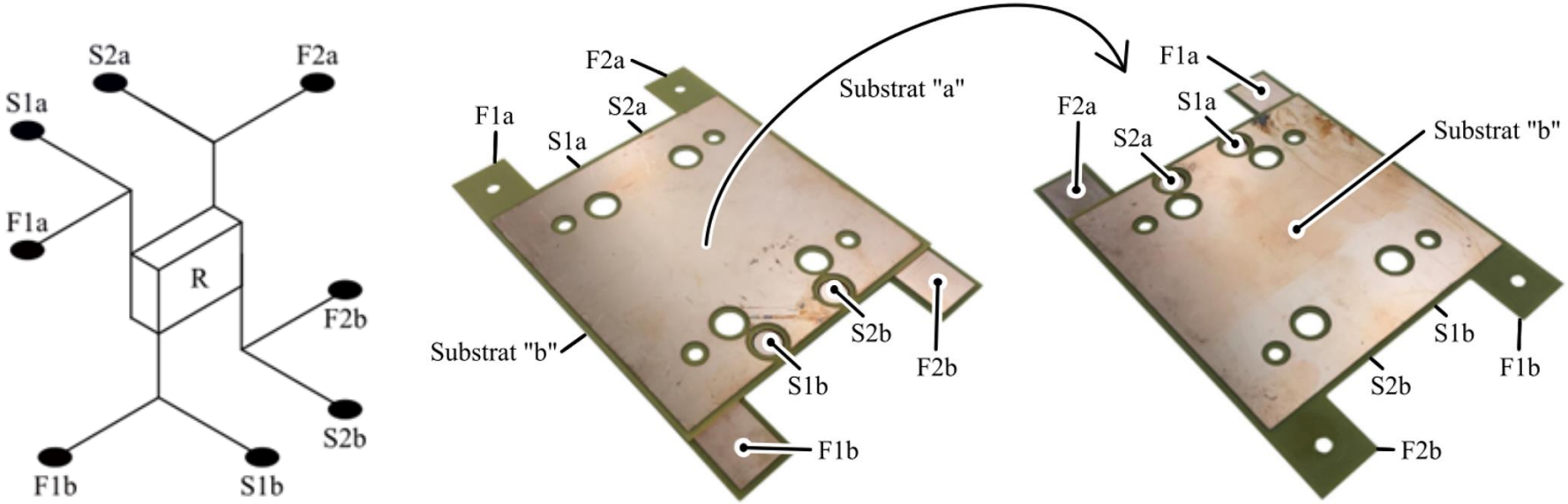
Introduction	p. 1
Contexte	p. 5
Problématique	p. 6
Objectif	p. 7
Procédé de fabrication	p. 12
Caractérisation électrique	**p. 27**
Caractérisation thermique	p. 32
Conclusion et perspectives	p. 42

Caractérisation électrique

Les mesures de résistance

- **La description des prototypes de caractérisation avec le procédé sélectionné**

1. **« 6** prototypes avec une **« interface structurée »**
2. **« 6** prototypes avec une **« puce factice »** *(Dopage P (bore) / R = 100 µΩ @ 20°C)*
3. Conçus pour réaliser des **« mesures 4 fils »** (Exemple : **F**1a – **F**orce connecteur **1** substrat **a**)
4. **« 81 combinaisons »** de mesure possibles



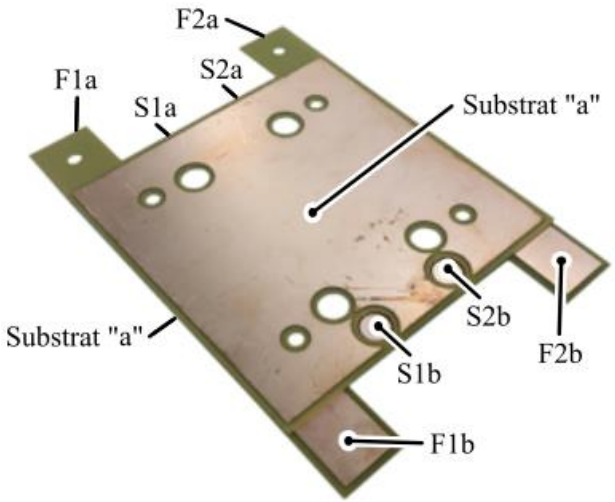
(a) (b) (c)

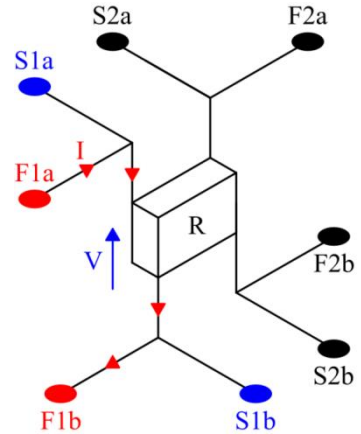
Schéma électrique des prototypes avec une puce enfouie ou une interface structurée (a), images d'un prototype en vue de dessus (b) et de dessous (c)

Caractérisation électrique

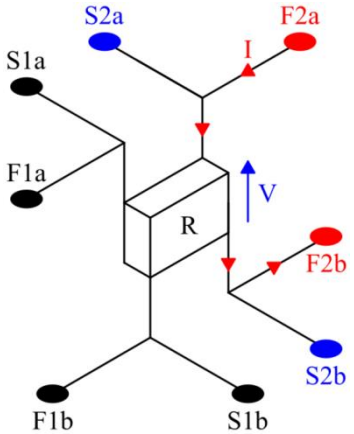
Les mesures de résistance

➢ **Les combinaisons de mesure retenues**

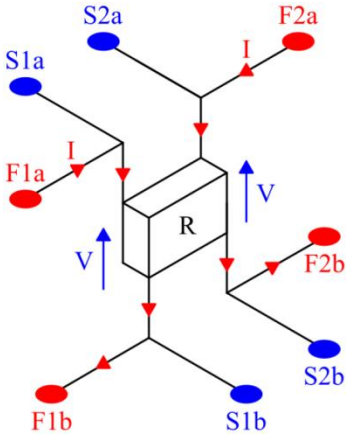




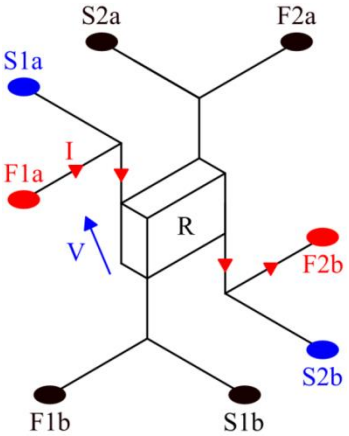
Unilatérale (UNI.) N°1



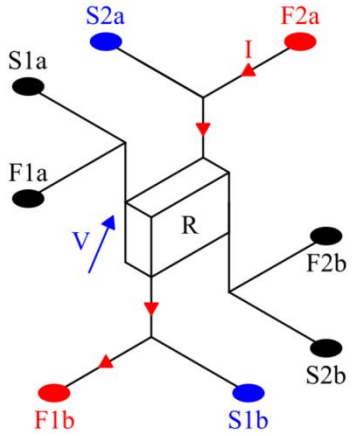
Unilatérale (UNI.) N°2



Volumique (VOL.)



Bilatérale (BI.) N°1



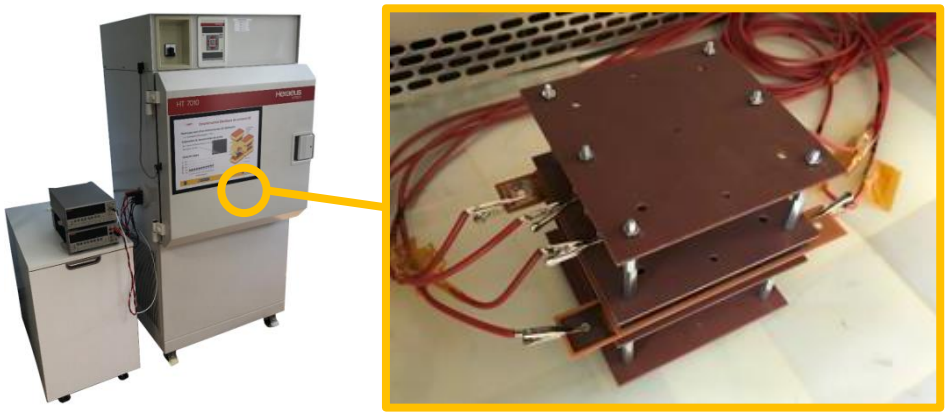
Bilatérale (BI.) N°2

Caractérisation électrique

Les mesures de résistance

- **Le protocole expérimental est :**

1. Composé de 2 campagnes de prototypes
2. Avec 5 combinaisons de mesure chacune
3. Entre 20°C et 120°C (par pas de 10°C)
4. Pour un total de 660 mesures de résistance



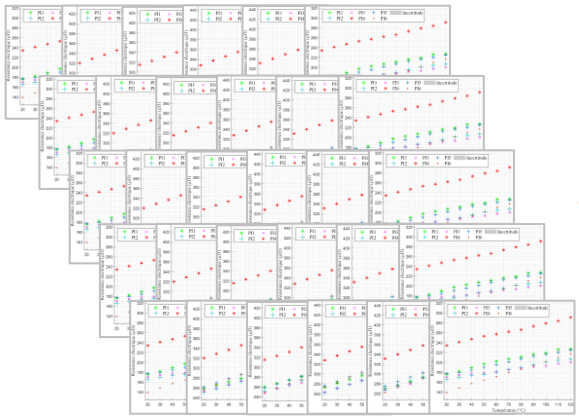
Banc de mesure de la résistance électrique en fonction de la temperature

- **Les mesures et traitement des données**

1. **Valeurs brutes**
   - Température
   - Thermalisation
   - Mesure

2. **Analyses statistiques**
   - Moyenne des mesures
   - Regression polynomiale
   - Dispersion σ (68%)
   - Dispersion 3σ (99,7%)

Valeurs brutes



Analyses statistiques

Traitement des données pour une campagne de prototypes

Caractérisation électrique

Les mesures de résistance

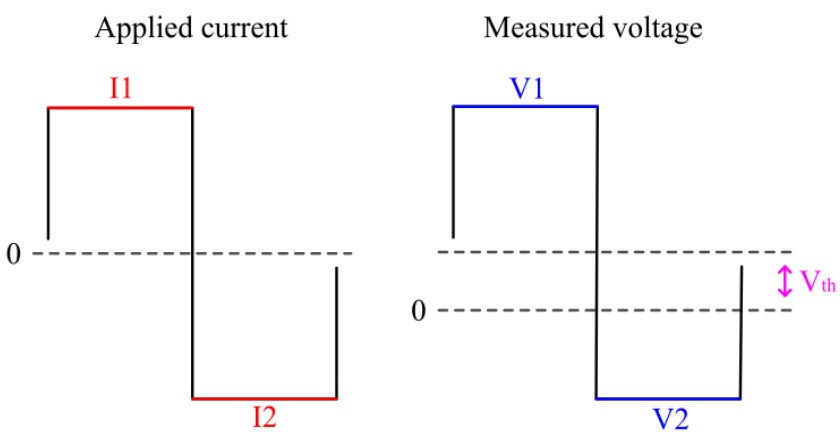
➢ **Les équipements utilisés**

1. Enceinte climatique Heraeus-Vötsch HT 4010 (a)
   Contrôle en température

2. Unité de source et de mesure Keithley 2410 (b)
   Application du courant (Source)

3. Unité de mesure Keithley 2182A (c)
   Mesure par nano-voltmètre (Mesure)

4. Méthode de mesure par inversion de polarité :



$$R = \frac{(V1 + V_{th}) - (V2 + V_{th})}{(I1 - I2)}$$

$$R = \frac{(V1 - V2)}{(I1 - I2)}$$

Méthode de mesure par inversion de polarité :
compensation de l'effet Seebeck lié à la connectique

(a)

(b)

(c)

Caractérisation électrique

Les résultats obtenus entre 20°C et 120°C

➢ Pour une interface structurée (IS)

1. Comparatif des combinaisons et aux interrupteurs :

$R_{VOL.\ IS} < R_{UNI.\ IS} < R_{BI.\ IS} << R_{DS\ ON}$

[20 µΩ ; 215 µΩ] << 10ne mΩ !!!

Conception

Négligeable face aux composants actifs
(Comparaison MOSFET)

2. Dispersion des mesures :

Inférieure à ± 25% de la valeur moyenne
Pour **99,7% de confiance** (3σ)

3. Résistance spécifique d'une interconnexion :

5,1 µΩ.cm² et **55,1 µΩ.cm²** entre 20°C et 120°C

➢ Pour une puce interconnectée (PI)

1. Comparatif des combinaisons :

$R_{VOL.\ IS} < R_{UNI.\ IS} < R_{BI.\ IS}$

[140 µΩ ; 430 µΩ]

2. Comparatif avec une interface structurée à 20°C :

$R_{VOL.\ PI} = 2 \times R_{VOL.\ IS} + R_{PUCE}$

140 µΩ = 2 x 20 µΩ + 100 µΩ

3. Dispersion des mesures :

Inférieure à ± 33% de la valeur moyenne
Pour **99,7% de confiance** (3σ)

Sommaire

Introduction	p. 1
Contexte	p. 5
Problématique	p. 6
Objectif	p. 7
Procédé de fabrication	p. 12
Caractérisation électrique	p. 27
Caractérisation thermique	**p. 32**
Conclusion et perspectives	p. 42

Caractérisation thermique

Les deux approches d'estimation de la résistance thermique

- **Par utilisation des substrats**

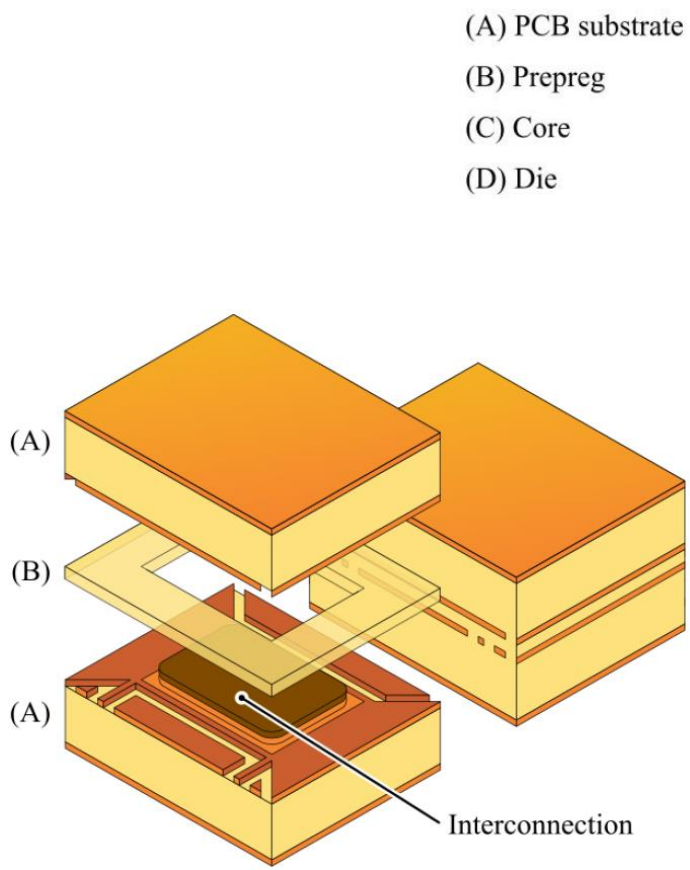


Schéma 3D d'un prototype avec une interface structurée enfouie

- **Par utilisation d'un composant actif**

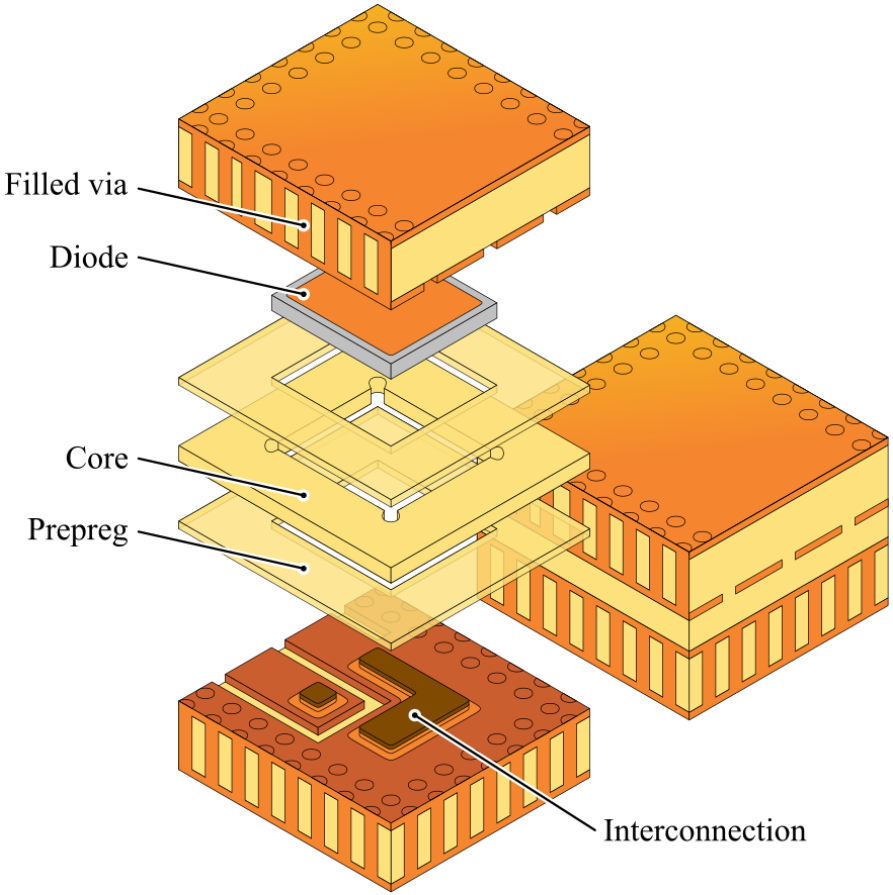


Schéma 3D d'un prototype avec une diode enfouie

Caractérisation thermique

Estimation de la résistance thermique : « Utilisation des substrats »

➢ **Zone d'élaboration de l'interface structurée : Utilisation comme capteur et source**

1. Capteur de température

$$T_{MES} = \frac{R_{MES} - R_0}{\alpha \times R_0} + T_0$$

Relation de la température en fonction du coefficient thermique du matériau

T_{MES} : Température mesurée *(en K)*

T_0 : Température ambiante *(en K)*

R_{MES} : Résistance mesurée *(en Ω)*

R_0 : Résistance à température ambiante *(en Ω)*

α : Coefficient thermique du matériau *(en K^{-1})*

2. Source de flux de chaleur

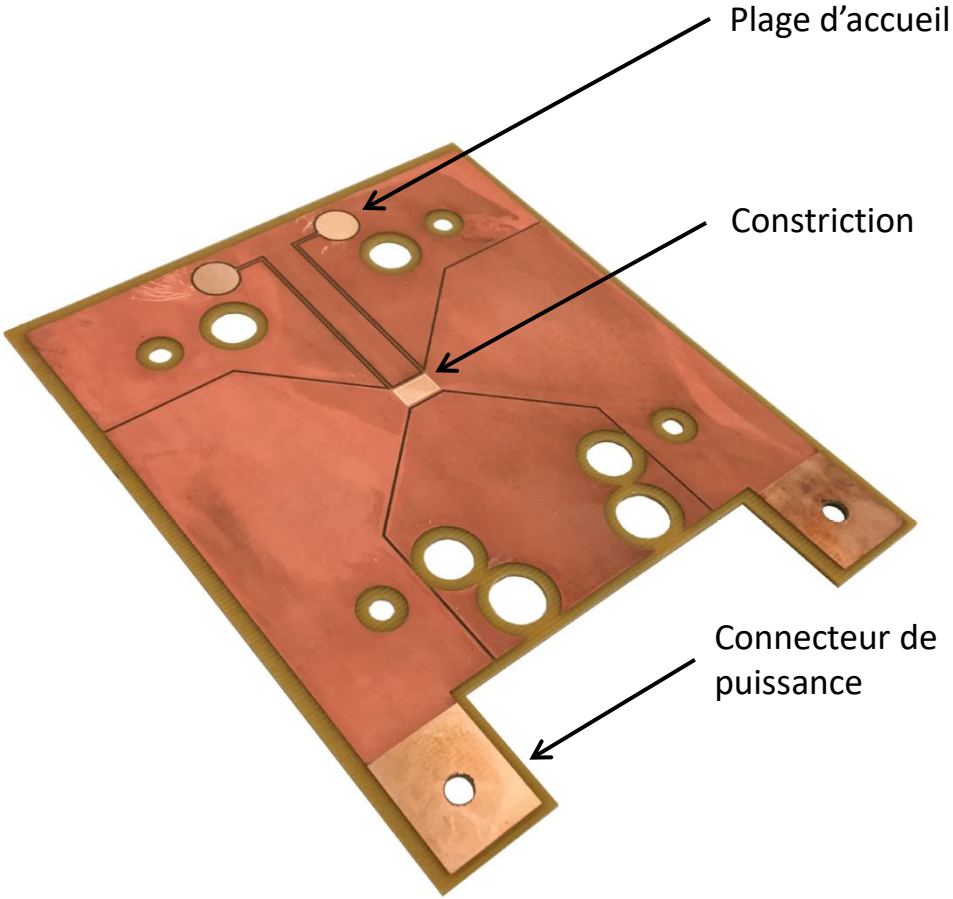
$$P = U \times I$$

Estimation de la puissance moyenne

P : Flux de chaleur *(en W)*

U : Tension mesurée *(en V)*

I : Courant appliqué et mésuré *(en A)*



Photographie d'un substrat sans interface structurée

Caractérisation thermique

Estimation de la résistance thermique : « Utilisation des substrats »

➢ **Zone d'élaboration de l'interface structurée : Utilisation comme capteur et source**

1. Capteur de température

$$T_{MES} = \frac{R_{MES} - R_0}{\alpha \times R_0} + T_0$$

Relation de la température en fonction du coefficient thermique du matériau

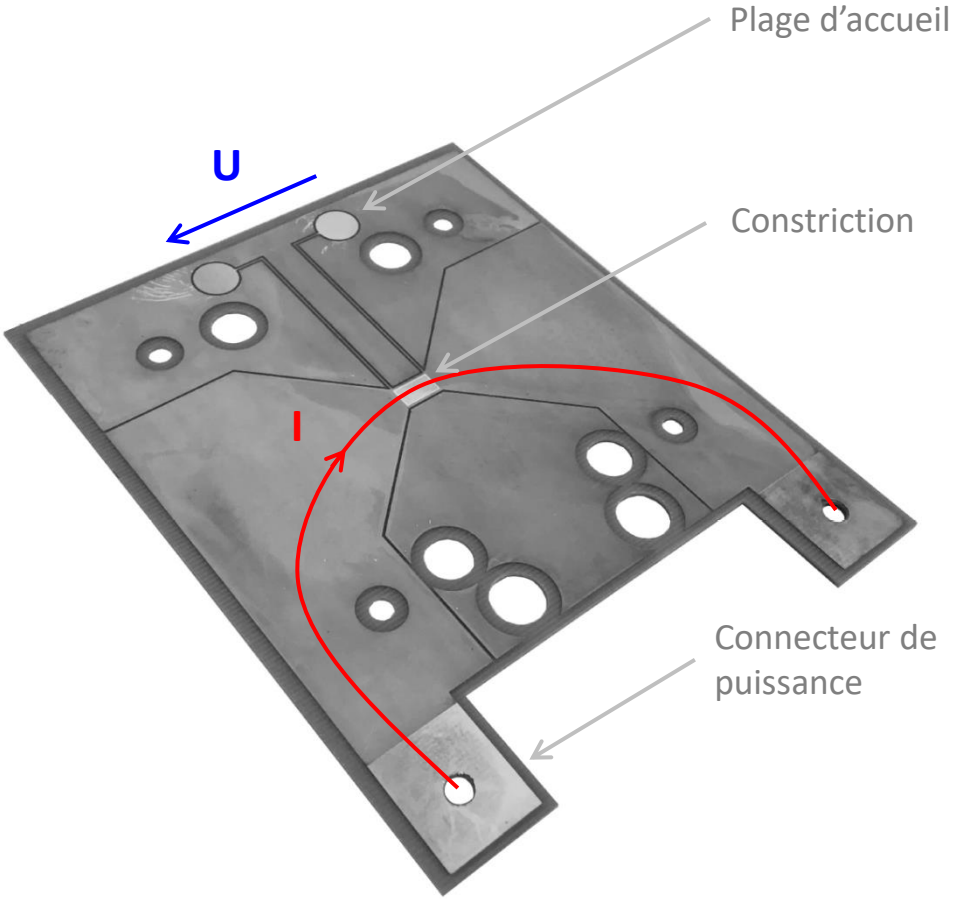
T_{MES} : Température mesurée *(en K)*
T_0 : Température ambiante *(en K)*
R_{MES} : Résistance mesurée *(en Ω)*
R_0 : Résistance à température ambiante *(en Ω)*
α : Coefficient thermique du matériau *(en K^{-1})*

2. Source de flux de chaleur

$$P = U \times I$$

Estimation de la puissance moyenne

P : Flux de chaleur *(en W)*
U : Tension mesurée *(en V)*
I : Courant appliqué et mésuré *(en A)*



Photographie d'un substrat sans interface structurée

Caractérisation thermique

Estimation de la résistance thermique : « Utilisation des substrats »

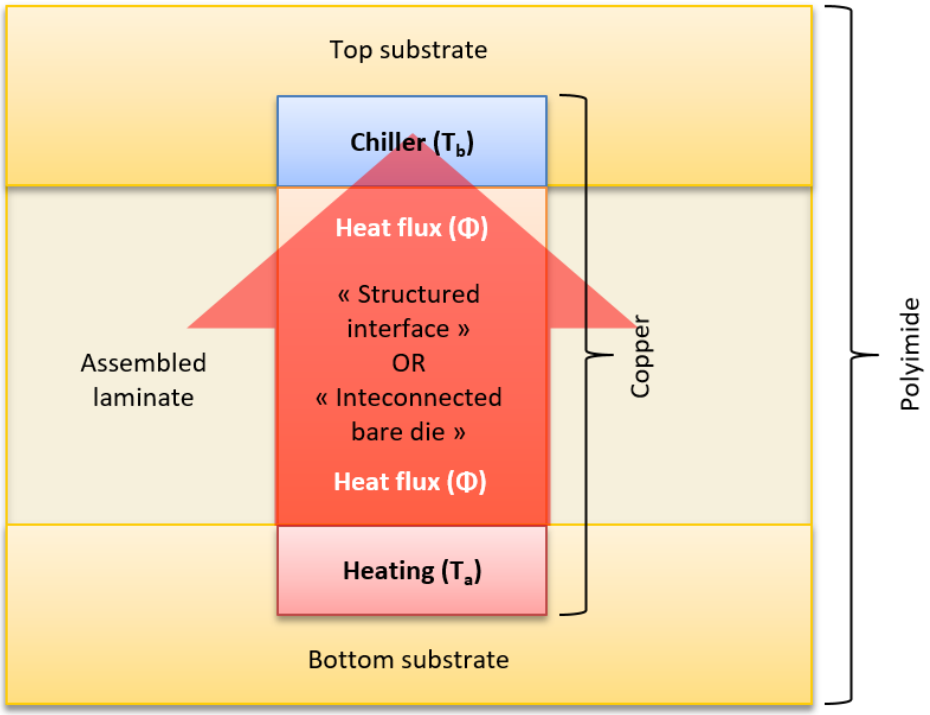
➢ Évaluation expérimentale de la résistance thermique

$$R_{th} = \frac{\Delta T}{P} = \frac{T_a - T_b}{P}$$

Relation de la résistance thermique en fonction de l'écart en température et du flux de chaleur

R_{th} : Résistance thermique *(en K/W)*
T_a : Température du point froid *(en K)*
T_b : Température du point chaud *(en K)*
P : Flux de chaleur *(en W)*

➢ Schéma de principe de l'évaluation expérimentale



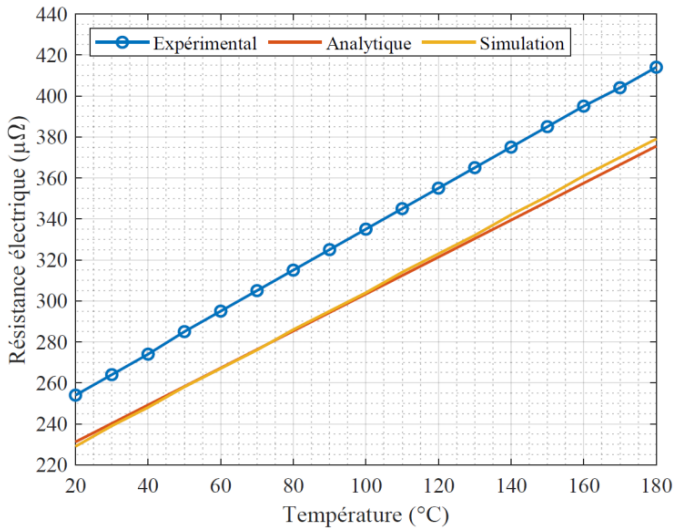
Caractérisation thermique

Estimation de la résistance thermique : « Utilisation des substrats »

➢ **Capteur de température**

Calibration entre 20°C et 180°C :

1. Température de consigne ;
2. Thermalisation ;
3. Mesure au nano-voltmètre.



R(T) de la constriction d'un substrat

--- Calibration

--- Modèle analytique

--- Simulation (COMSOL Multiphysics®)

➢ **Détermination de la puissance du flux**

$$R_{th} = \frac{T_a - T_b}{P} = \frac{T_a - T_b}{U_a \times I_a}$$

Relation de la résistance thermique

R_{th} : Résistance thermique *(en K/W)*
T_a : Température du point froid *(en K)*
T_b : Température du point chaud *(en K)*
P : Flux de chaleur *(en W)*
U_a : Tension mesurée *(en V)*
I_a : Courant appliqué *(en A)*

Mesure du courant appliqué

1. Rogowski CT310 (600 A) **~ + 10°C**
2. Tektronix TCP0030 (calibre 30 A) **~ + 1°C**
3. Tetktronix TCP0150 (calibre 150 A) **~ + 7°C**
4. Tetktronix TCP0150 (calibre 25 A) **~ > 1°C**

Estimation de la température comparée à la mesure de température de la constriction mesurée avec un thermocouple

Caractérisation thermique

Estimation de la résistance thermique : « Utilisation des substrats »

- **Mise en place de la plaque froide**

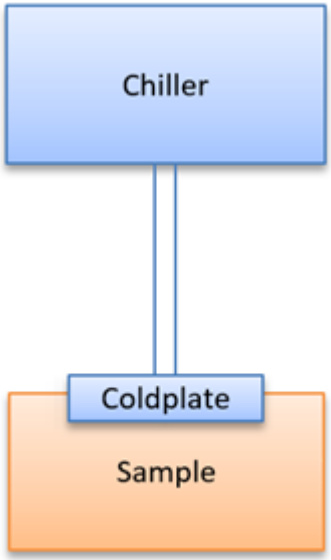


Schéma de principe de mise en place de la plaque froide

Régulation du point froid

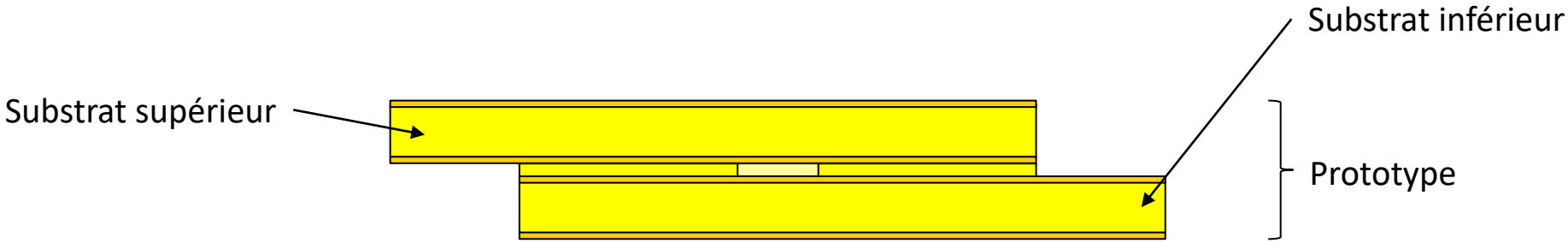
- Forcer le transfert du flux de chaleur à travers la structure étudiée

Nécessite

1. Système de régulation thermostaté
2. Plaque froide au contact de la piste

Comment

- Par modification de l'assemblage



Caractérisation thermique

Estimation de la résistance thermique : « Utilisation des substrats »

- **Mise en place de la plaque froide**

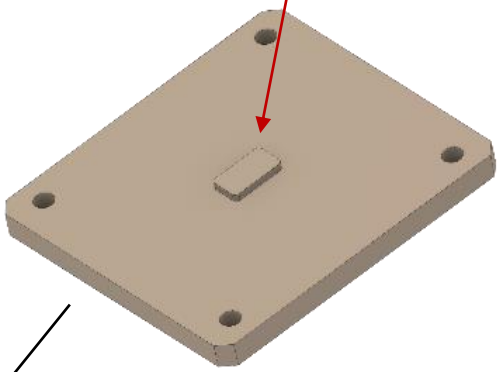
Ne pas oublier de mettre « UN PEU » de pâte thermique sur la protusion

Plaque froide

Système de régulation thermostaté

SORTIE

ENTREE



Embase modifiée

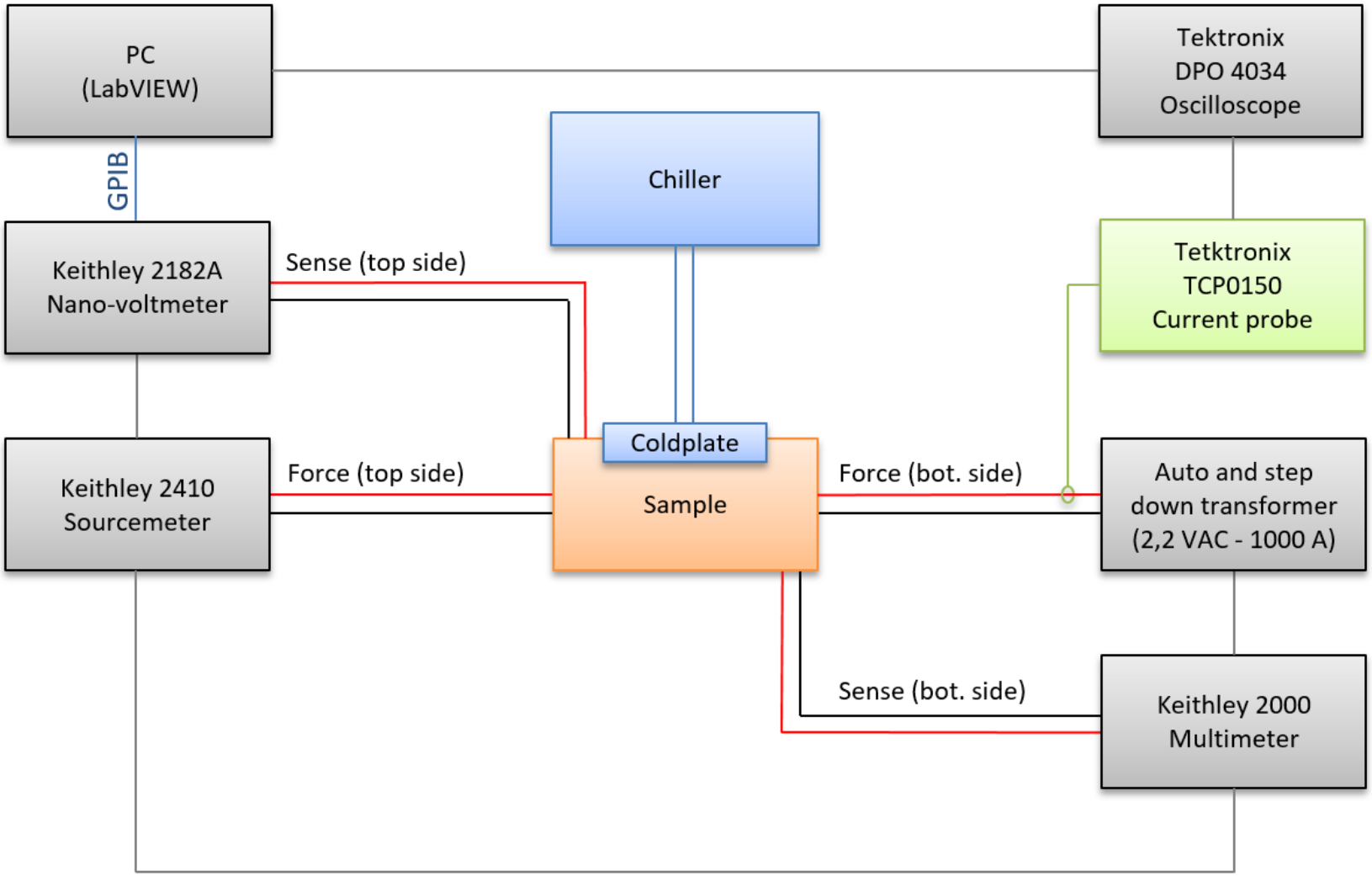
Joint d'étanchéité

Prototype

Caractérisation thermique

Estimation de la résistance thermique : « Utilisation des substrats »

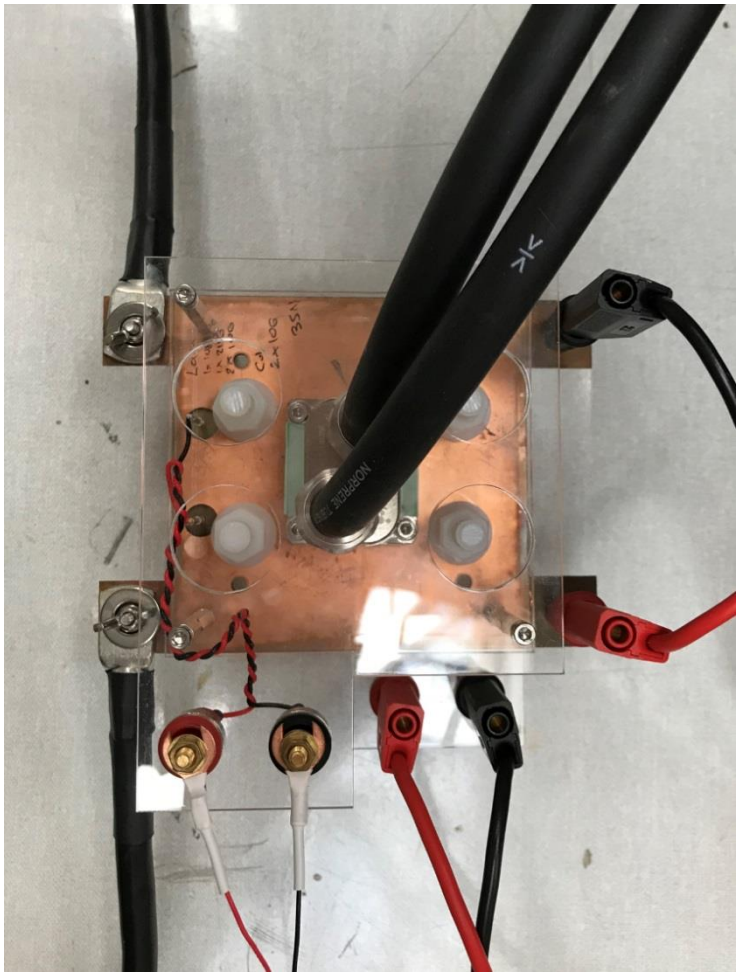
- **Schéma de principe de l'expérience**



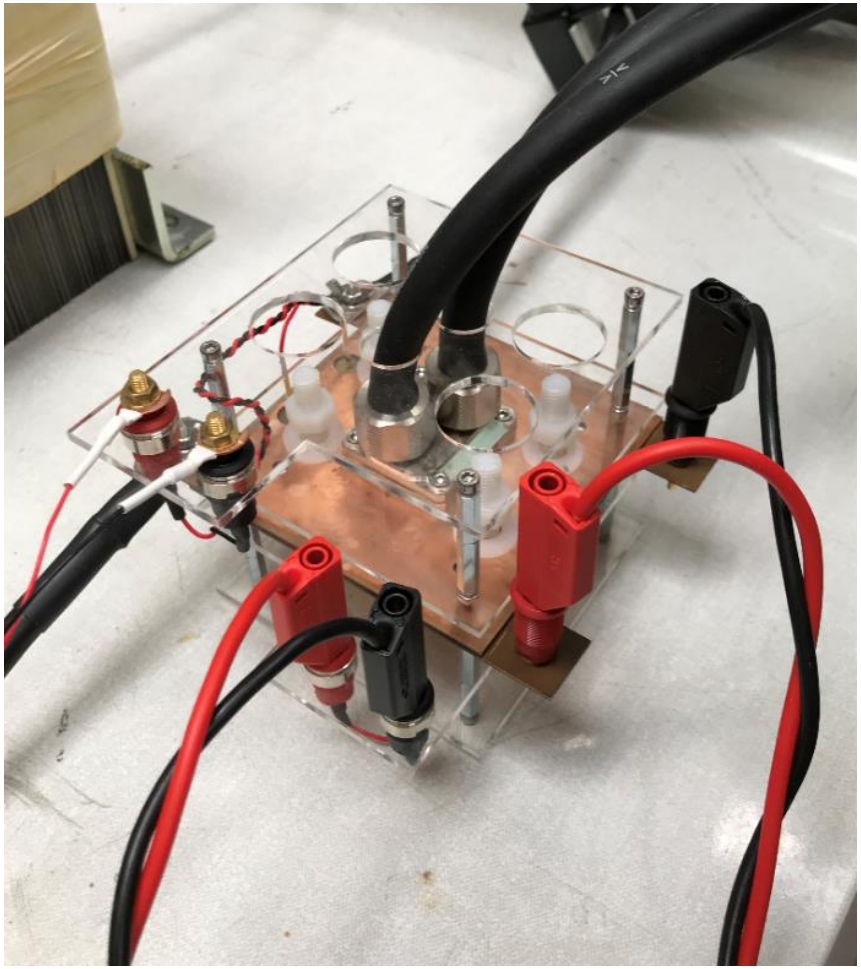
Caractérisation thermique

Estimation de la résistance thermique : « Utilisation des substrats »

- **Mise en place de la manipulation : Support du prototype**



Vue de dessus

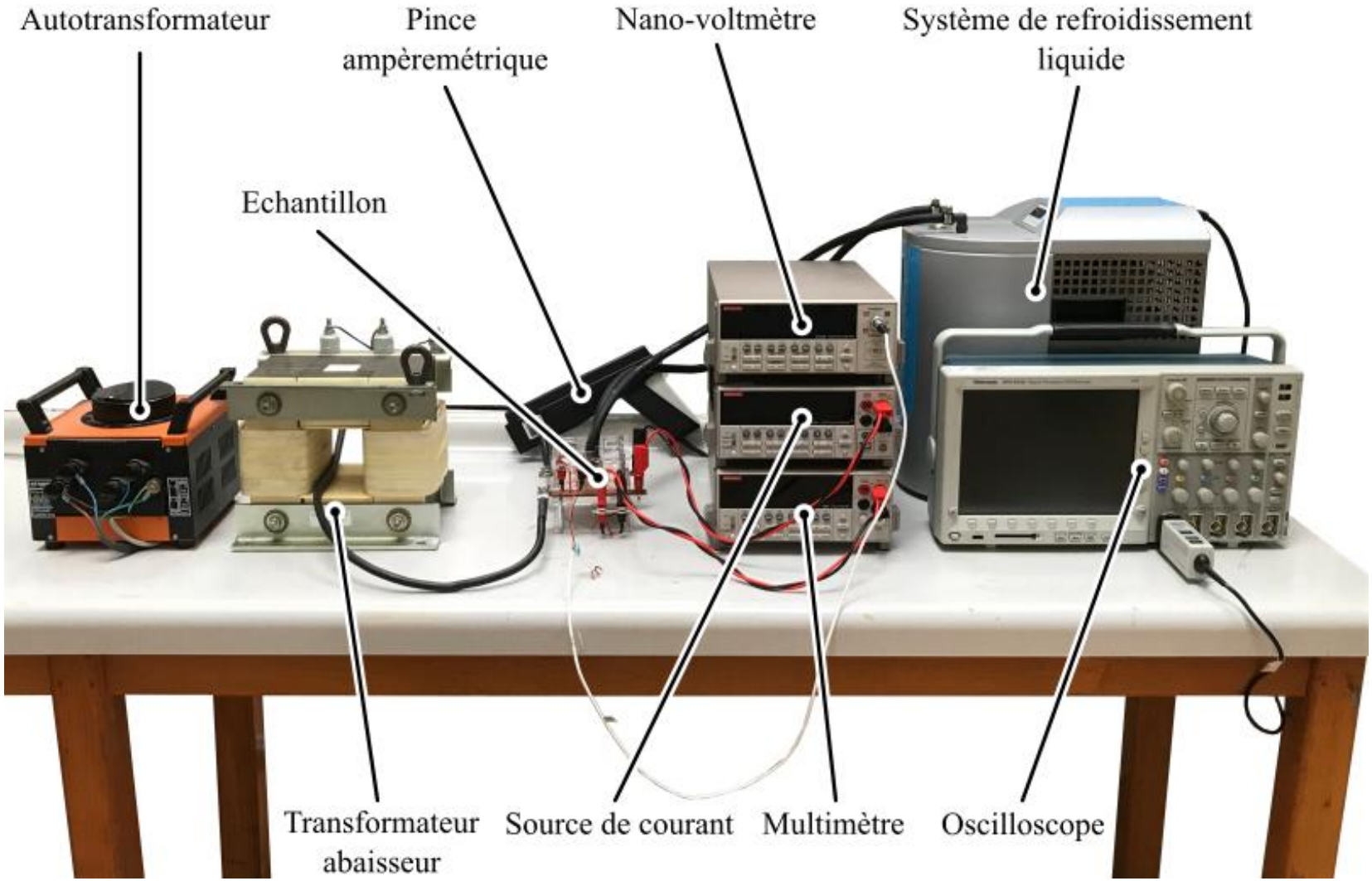


Vue latérale

Caractérisation thermique

Estimation de la résistance thermique : « Utilisation des substrats »

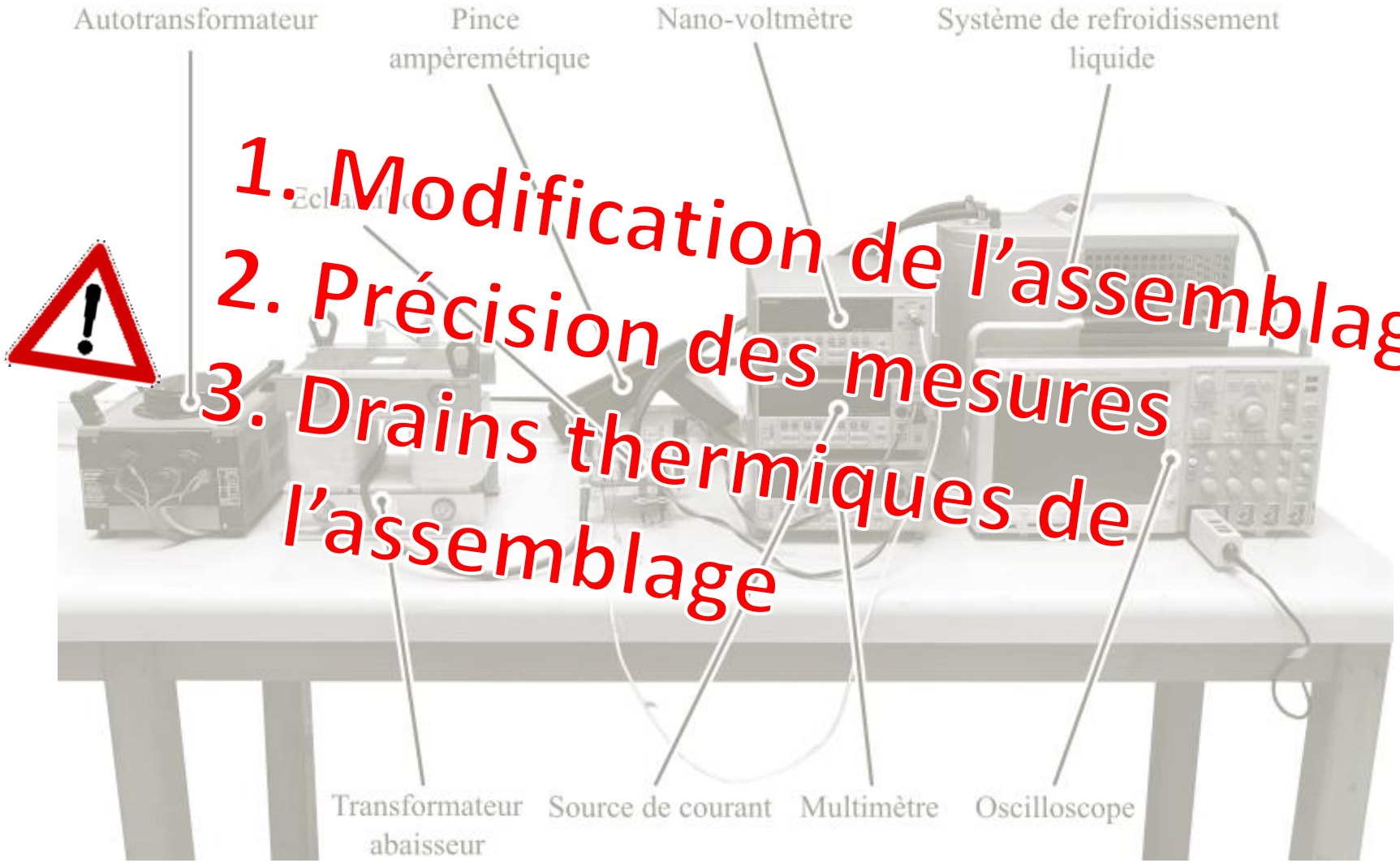
- **Mise en place de la manipulation : Vue d'ensemble**



Caractérisation thermique

Estimation de la résistance thermique : « Utilisation des substrats »

- **Les problématiques rencontrées**



1. Modification de l'assemblage
2. Précision des mesures
3. Drains thermiques de l'assemblage

Caractérisation thermique

Estimation de la résistance thermique : « Utilisation d'un composant actif »

➢ **Les premiers pas vers l'intégration d'une cellule de commutation**

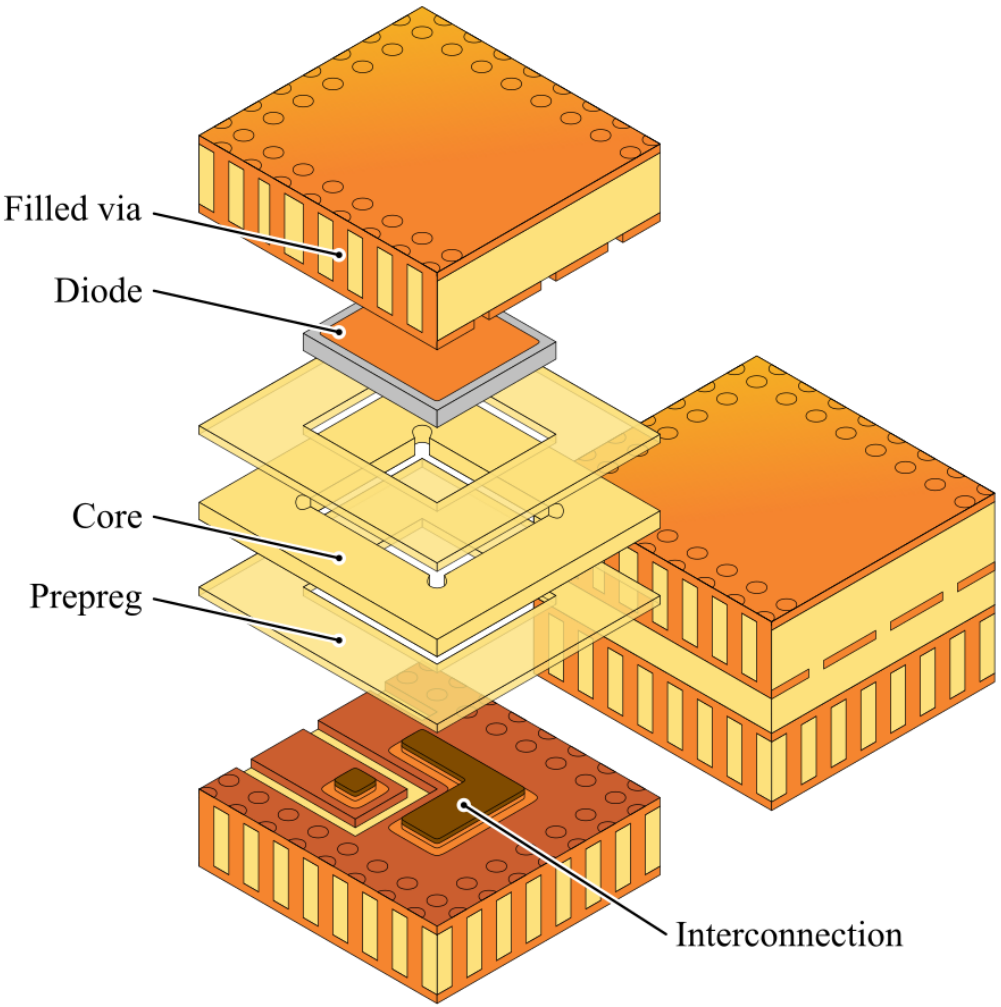


Schéma de la zone active de l'assemblage

Principe (et rappel …)

$$R_{th} = \frac{\Delta T}{P_d} = \frac{T_d - T_p}{U_d \times I_d}$$

Relation de la résistance thermique

R_{th} :	Résistance thermique *(en K/W)*
ΔT :	Écart de température *(en K)*
P_d :	Flux de chaleur *(en W)*
T_d :	Température de jonction de la diode *(en K)*
T_p :	Température à l'extérieur du *packaging (en K)*
U_d :	Tension de la diode *(en V)*
I_d :	Courant traversant la diode *(en A)*

Comment ?

1. T_d : Calibration $U_d(T_d)$ et mesure U_d
2. T_p : Mesure de température
3. P_d : Mesure 4 fils U_d et mesure I_d

Caractérisation thermique

Estimation de la résistance thermique : « Utilisation d'un composant actif »

- **L'avancement des travaux**

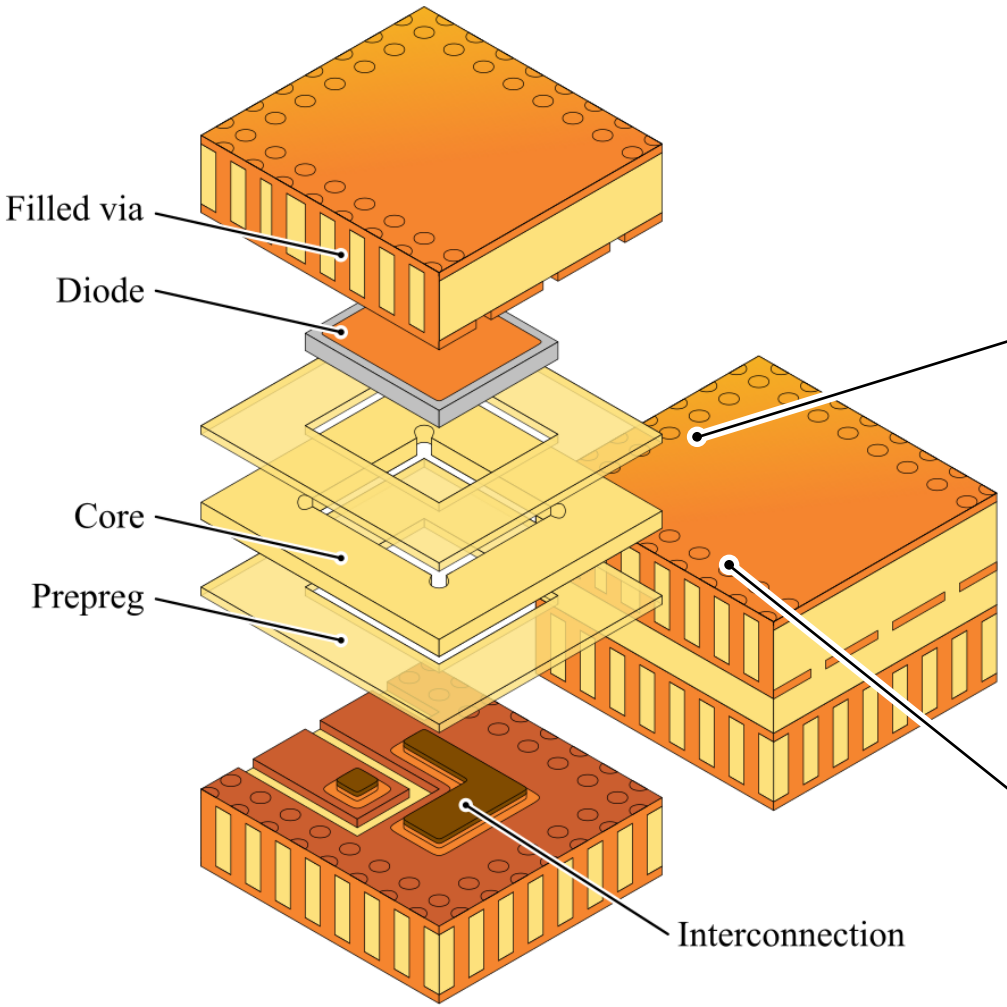
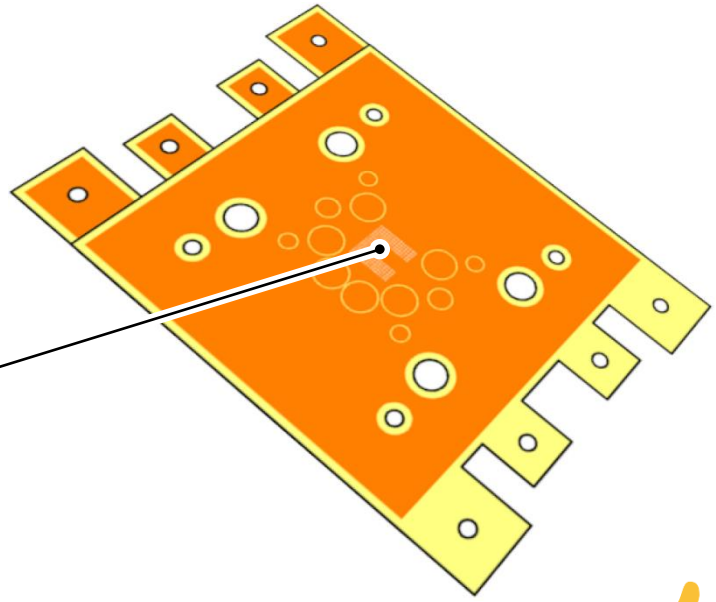
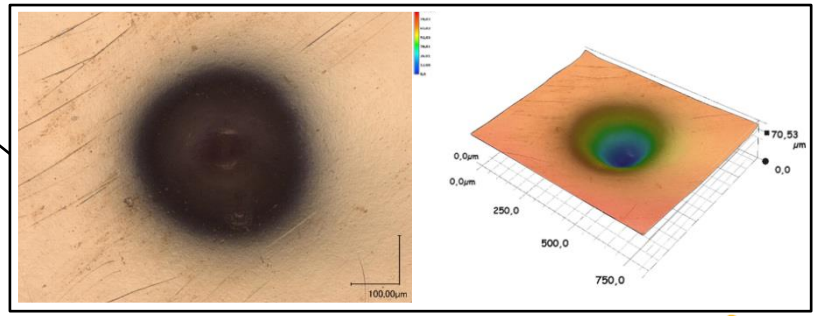


Schéma de la zone active de l'assemblage



Conception complète de l'assemblage



Réalisation de matrices de vias remplis
Mais 30 mA/cm² pendant ≈ 10 heures ..

Sommaire

Introduction	p. 1
Contexte	p. 5
Problématique	p. 6
Objectif	p. 7
Procédé de fabrication	p. 12
Caractérisation électrique	p. 27
Caractérisation thermique	p. 32
Conclusion et perspectives	**p. 42**

Conclusion

- **L'évolution des modules de puissance**

1. Marquée par l'arrivée des composants semi-conducteurs de puissance à large bande (interdite)
2. Limitée par le *packaging* conventionnel en termes d'éfficacité et de fiabilité

- **La technologie d'intégration proposée**

- Basée sur l'enfouissement des composants actifs dans un substrat de type circuit imprimé (3 dimensions)
- Et interconnéctés par des interfaces macro et nano structurées (interconnexions multi-fonctionnelles).

- **Les améliorations recherchées**

1. Reduction des élements parasites (Efficacité)
2. Diminution des écarts entre les coefficients de dilatation thermique (Fiabilité)
   Voire le nombre total de matériaux utilisés !
3. Production à grande échelle et à coût abordable (Faisabilité)

Conclusion

➢ **Le procédé de fabrication**

1. **Rendement faradique élevé**
   (92,5% ⩽ η ⩽ 94,9%)
2. **Faible dispersion des mesures du macro poteau**
   (3σ soit 99,7% de confiance < ± 2,4 µm)
3. **Homogénéité de la nano structure**
   (Estimation à 1 µm / Effet champignon de 20 µm / Peu de défaut)
4. **Simplicité d'assemblage par thermo-compression**
   (Facilité de mise en œuvre)

1. **Coût de la membrane utilisée**
   (≈ 50 € / pièce)
2. **Maintien de la membrane à l'étape d'armoçage**
   (Étape supplémentaire / Adaptabilité production)
3. **Durée des étapes électrolytiques**
   (≈ 15 heures par interface structurée)
4. **Gestion des épaisseurs des assemblages**
   (en vue de l'intégration d'une cellule de commutation)

Conclusion

- **La caractérisation d' « interfaces structurées »**

  1. **Faible résistance spécifique**
     (5,1 µΩ.cm² et 55,1 µΩ.cm² entre 20°C et 120°C)
  2. **Faible dispersion des mesures**
     (3σ soit 99,7% de confiance < ± 25% de la valeur moyenne)
  3. **Négligeable face à la résistance à l'état passant des composants actifs**
     ([20 µΩ ; 215 µΩ] << 10^{ne} mΩ)
  4. **Importance d'une conception optimisé**
     ($R_{VOL.\ IS}$ < $R_{UNI.\ IS}$ < $R_{BI.\ IS}$ pouvant atteindre une différence de facteur 7)

- **La caractérisation de « puces factices » enfouies**

  1. **Comparatif en corrélation avec les résultats des interfaces structurées**
     ($R_{VOL.\ PI}$ = 2 x $R_{VOL.\ IS}$ + R_{PUCE} à 20°C)
  2. **Faible dispersion des mesures**
     (3σ soit 99,7% de confiance < ± 33% de la valeur moyenne)
  3. **Confirmation de l'importance d'une conception optimisé**
     ($R_{VOL.\ PI}$ < $R_{UNI.\ PI}$ < $R_{BI.\ PI}$)

Conclusion

➢ **Perspectives**

- Faire des **essais de cyclage** des prototypes existants
- Poursuite du développement des deux méthodes d'estimation de la **résistance thermique**
- Premiers pas vers l'intégration d'une cellule de commutation : **assemblage avec une diode**
- Assemblage avec des interfaces structurées réalisées avec les **différents profils de courant**
- Réaliser les dépôts sur des **couches de cuivre** épais
- Utilisation d'un **film photosensible plus fin** (Réduction de l'épaisseur du macro poteau)
- Changement de **membrane** (ordonnée, polycarbonate, etc.)

Merci de votre attention

MITSUBISHI ELECTRIC

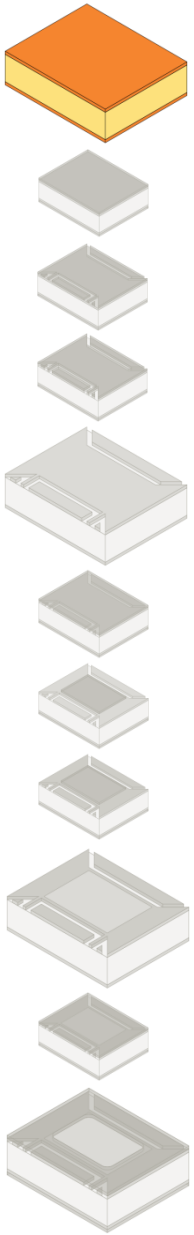
Changes for the Better

Laplace

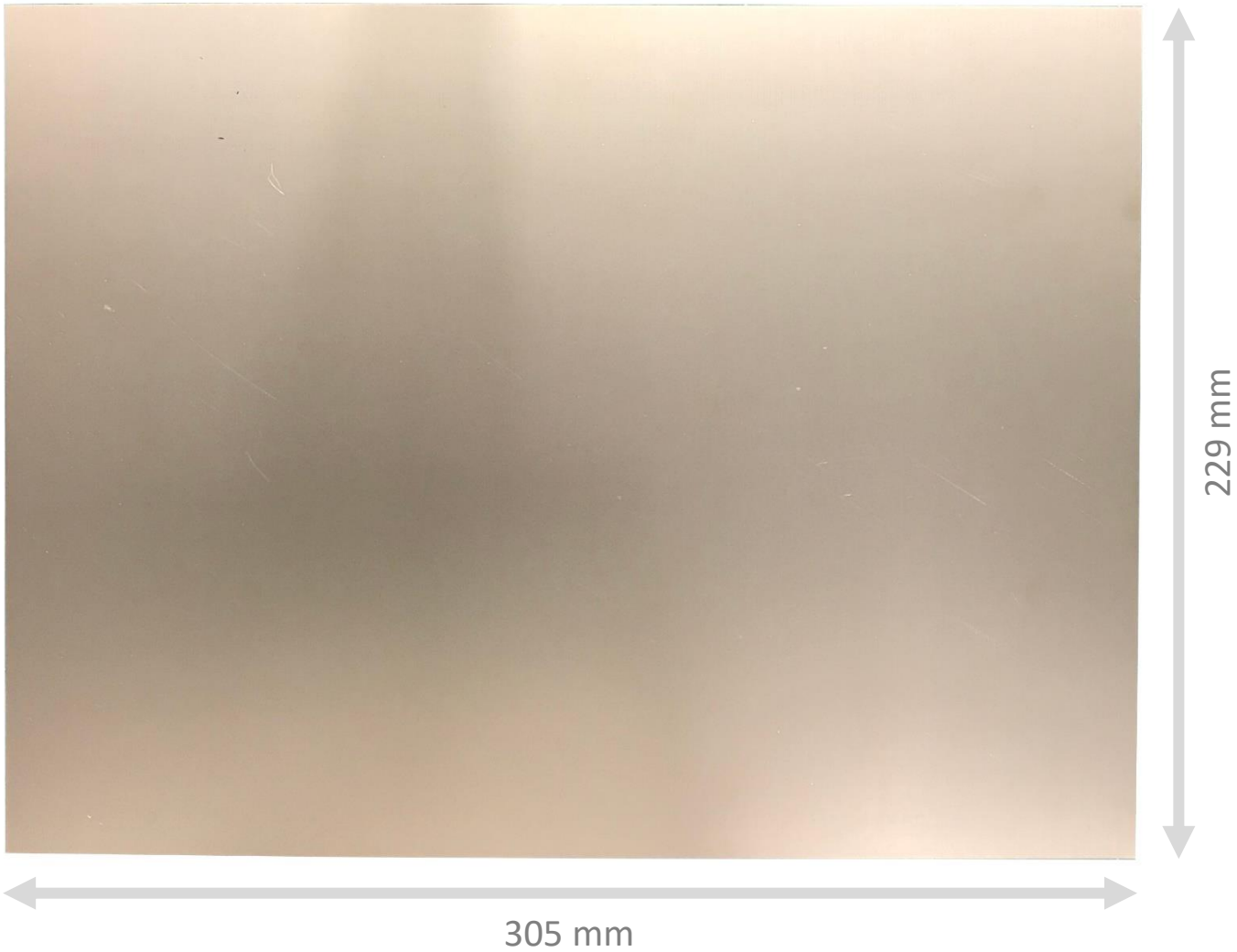
bojandjuric.fr

Annexe

Préparation des substrats

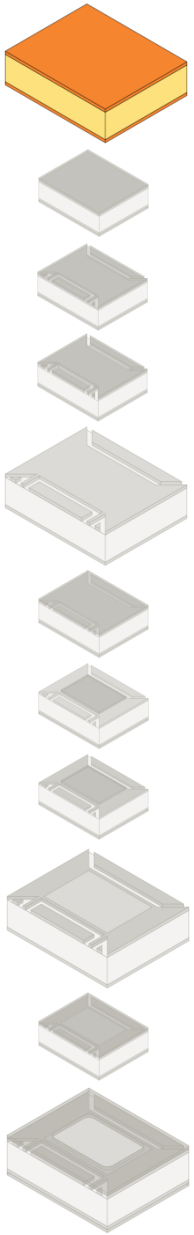


- **Plaque verre-polyimide 848 µm recouverte de 105 µm de cuivre double face**

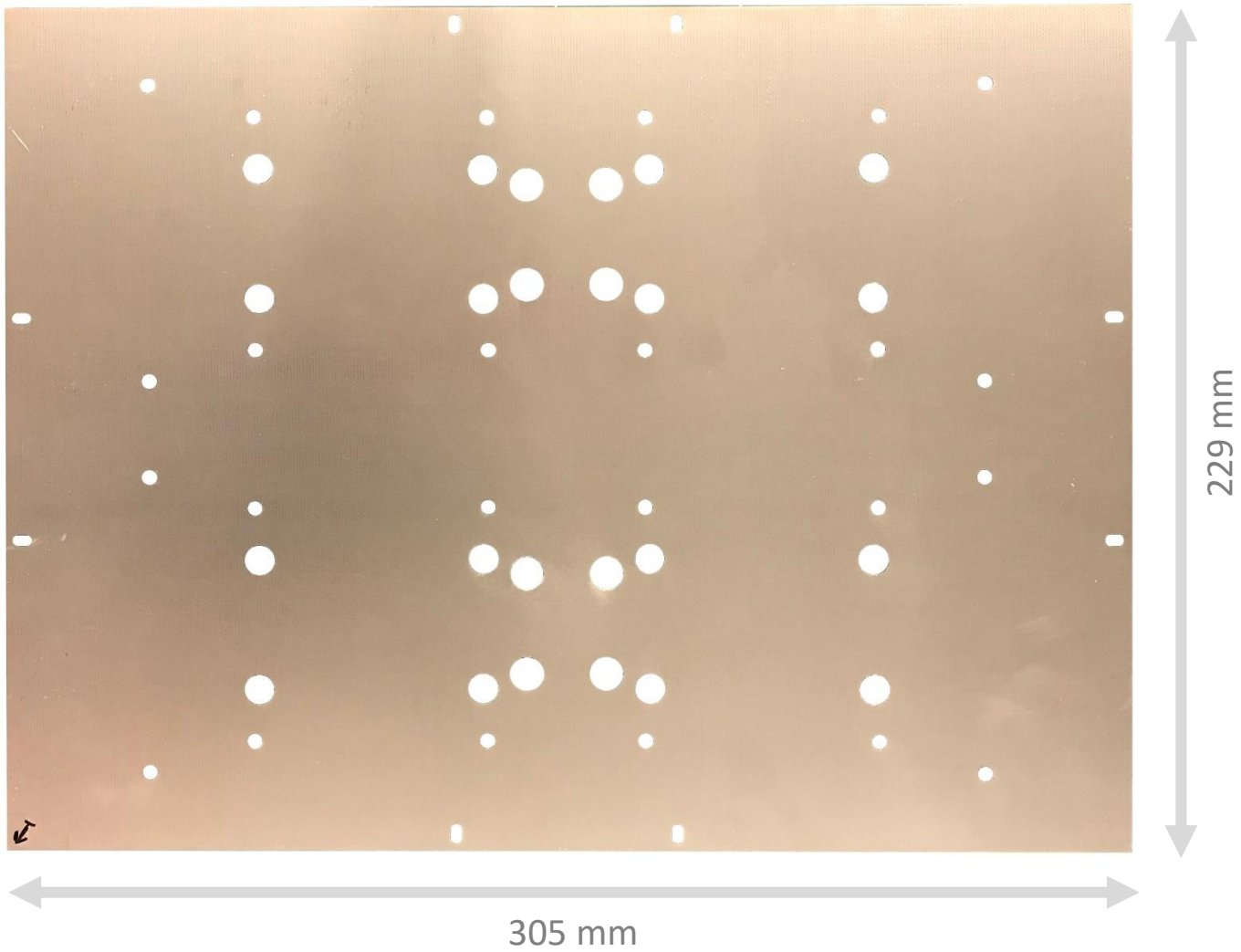


Annexe

Préparation des substrats

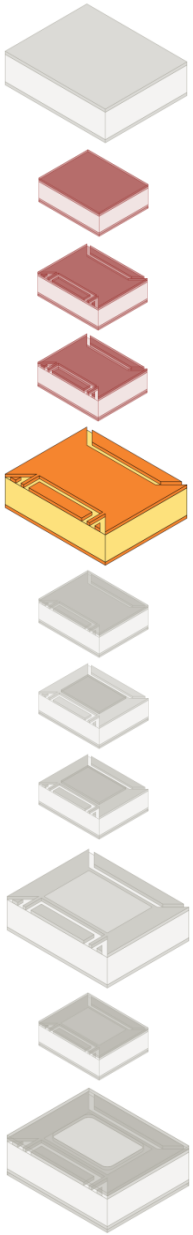


1. **Détourage interne des trous traversants par micro-fraisage numérique**

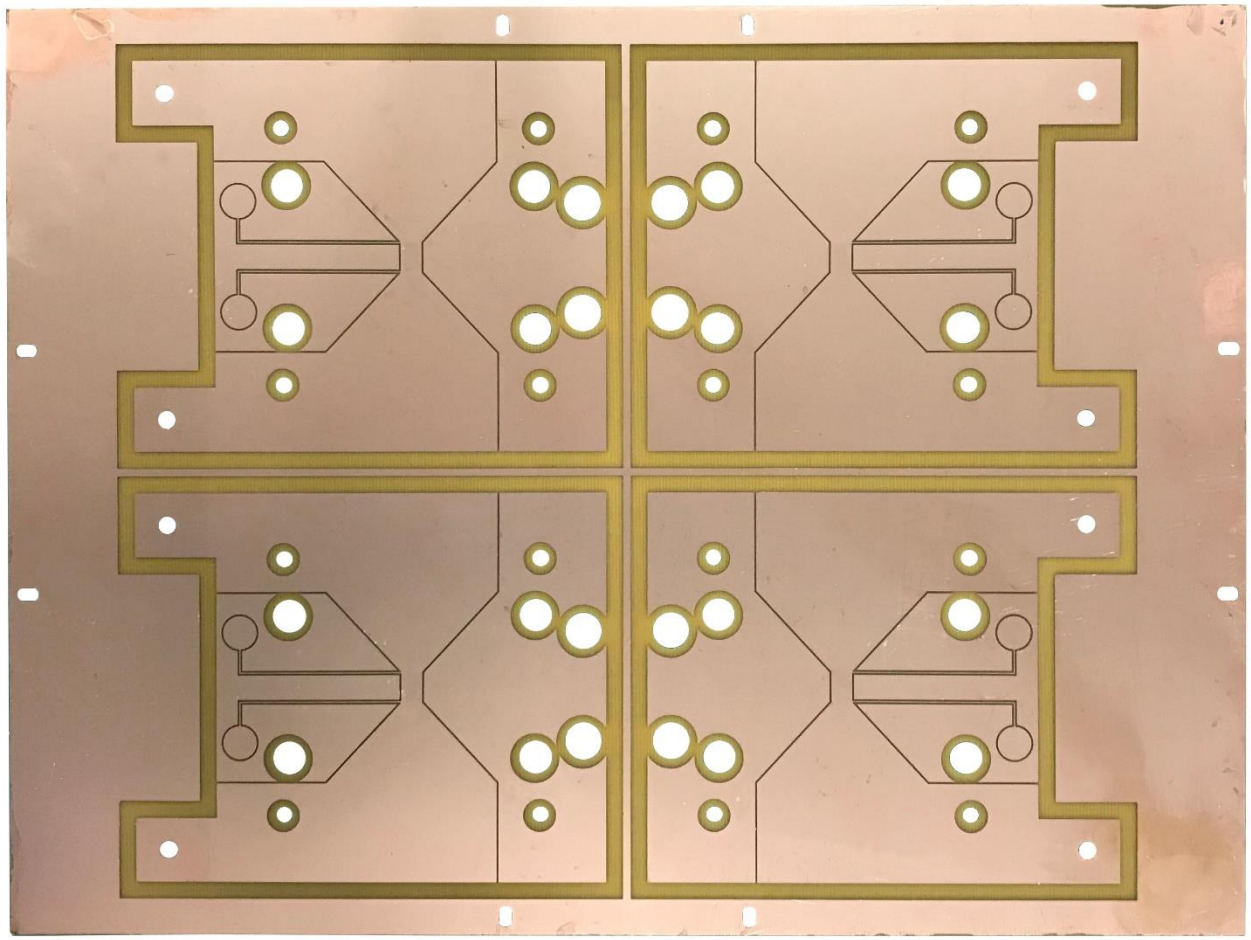


Annexe

Préparation des substrats



2. **Réalisation des pistes par gravure chimique du cuivre**



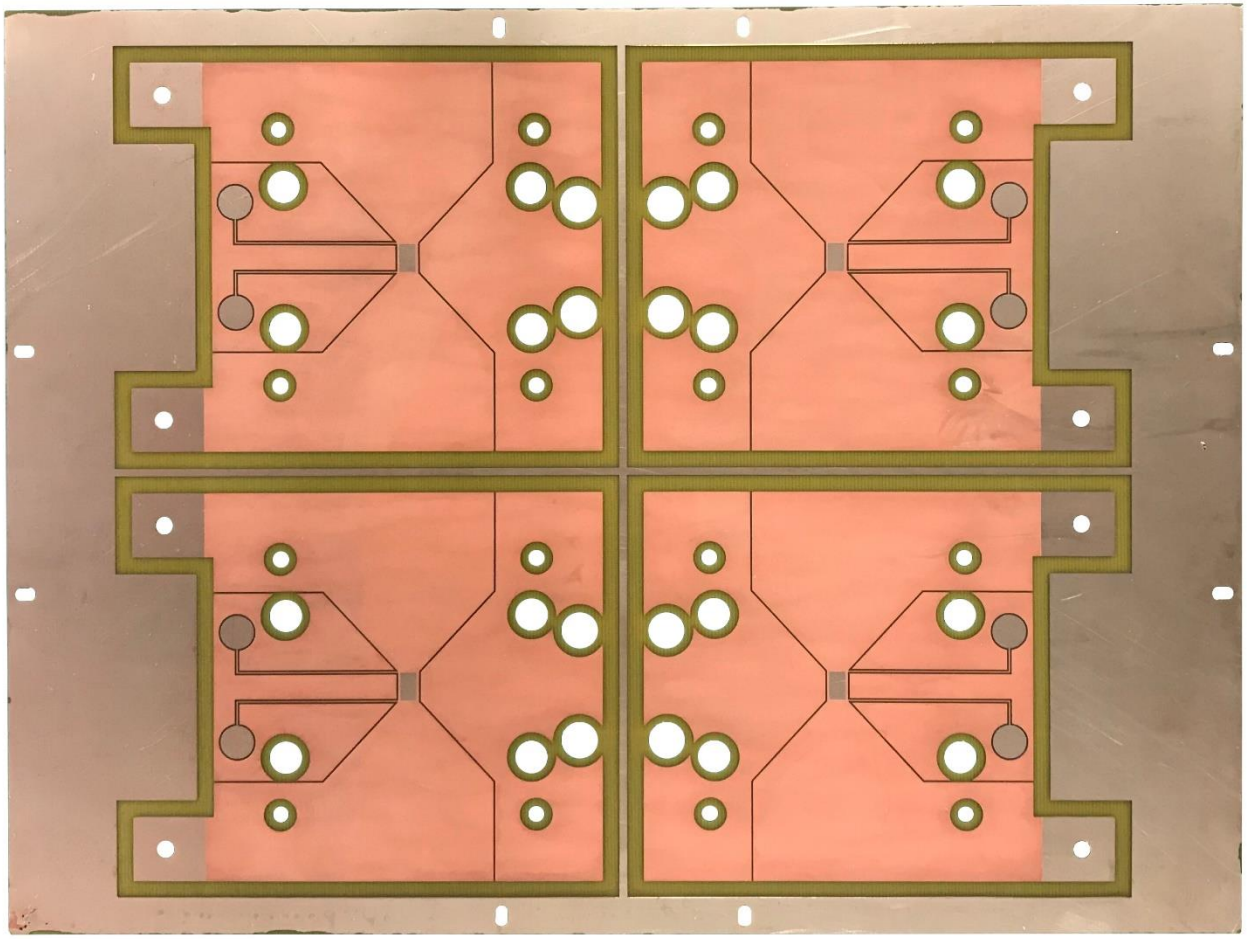
229 mm

305 mm

Annexe

Préparation des substrats

3. Augmentation de l'adhérence par micro-gravure chimique du cuivre



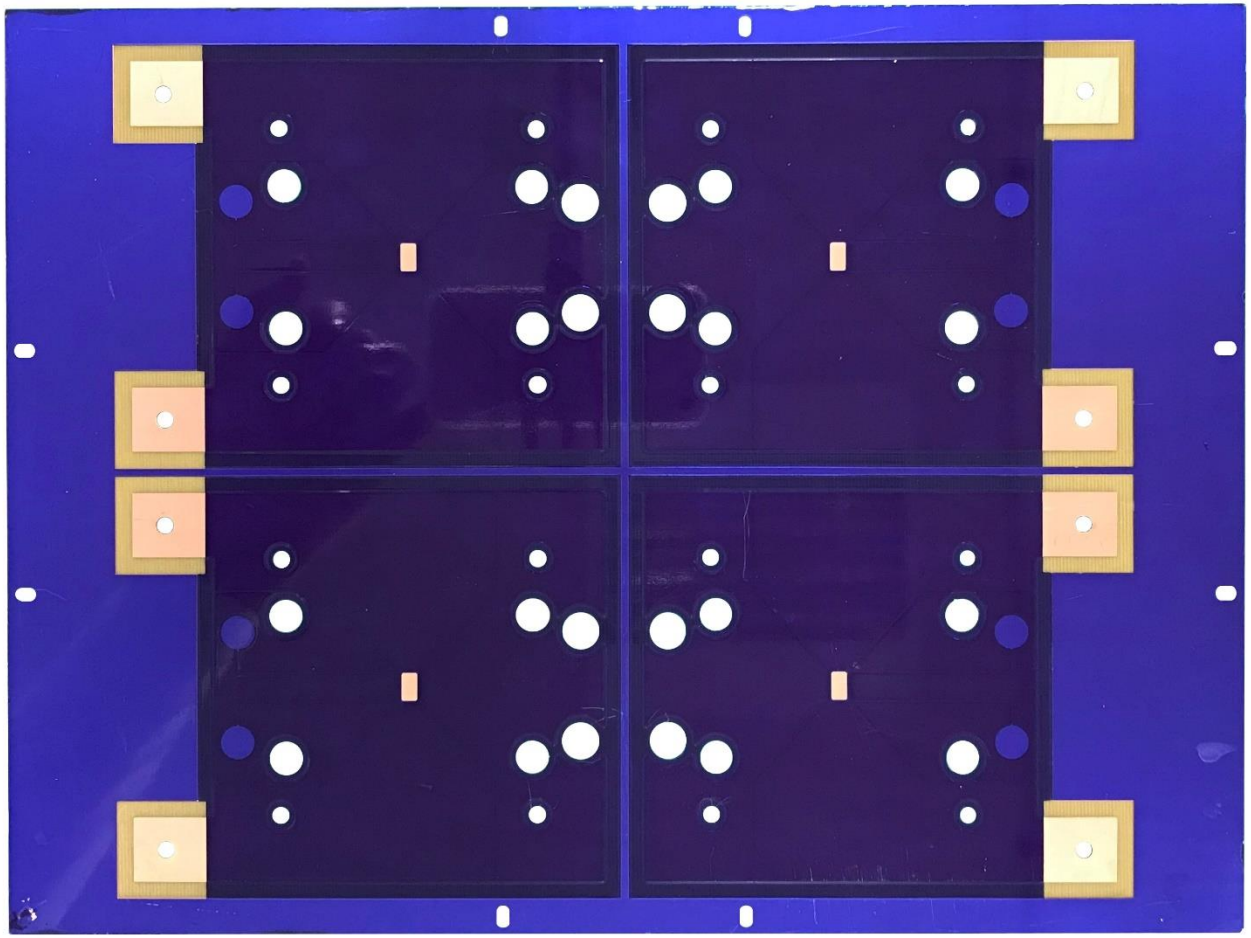
229 mm

305 mm

Annexe

Préparation des substrats

4. Application du film photosensible sélectif



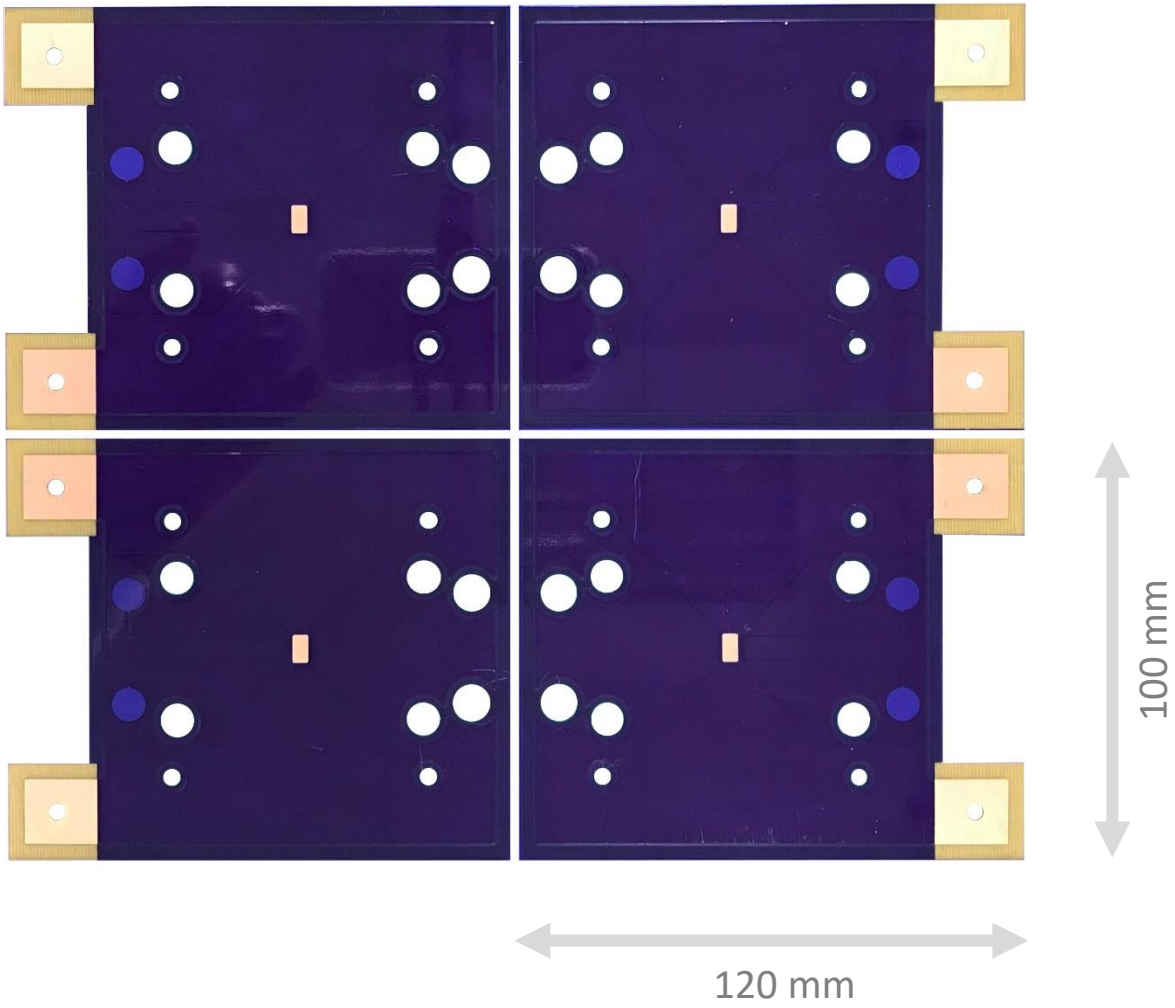
229 mm

305 mm

Annexe

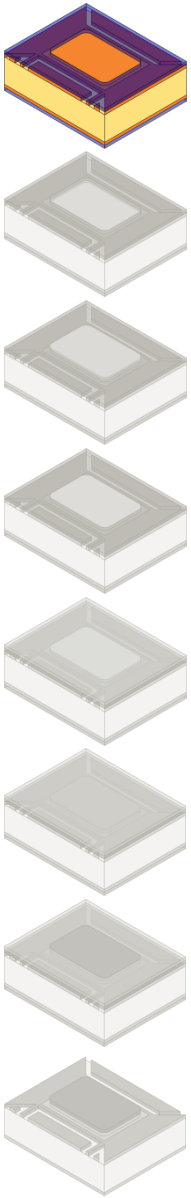
Préparation des substrats

5. **Détourage externe par micro-fraisage numérique des 4 substrats PCB**



Annexe

L'interface structurée



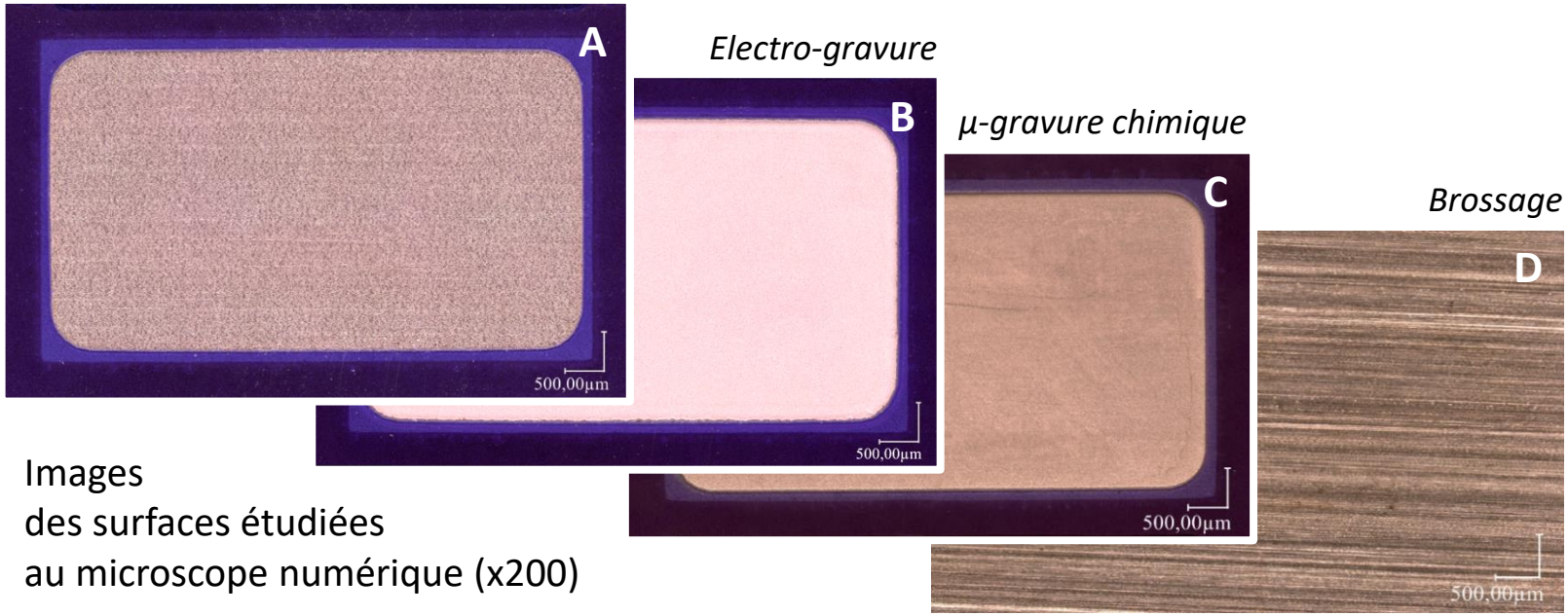
➢ **Substrat PCB unitaire fonctionnalisé**

Cuivre initial

Electro-gravure

µ-gravure chimique

Brossage



Images
des surfaces étudiées
au microscope numérique (x200)

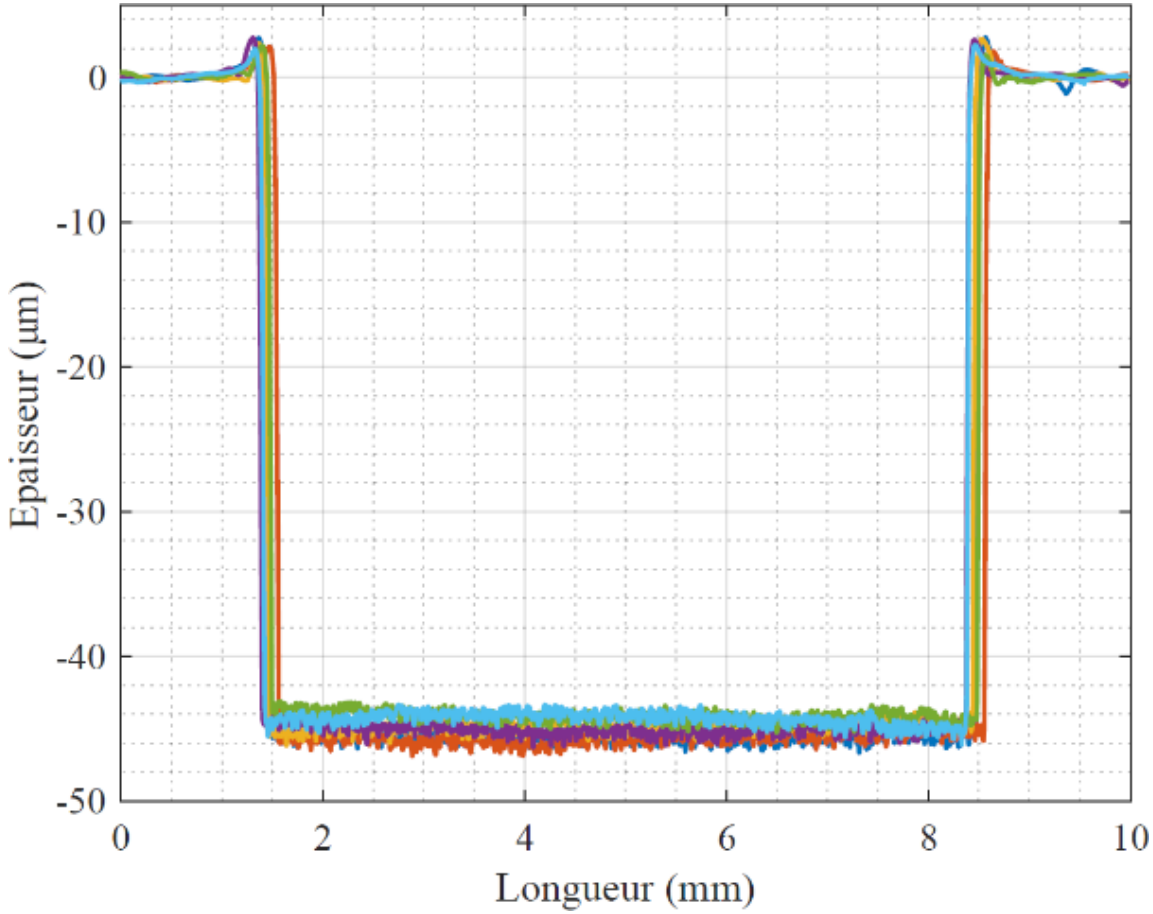
Etat de surface	Cuivre initial A	Electro-gravure B	µ-gravure ch. C	Brossage D
Rugosité arithmétique (Ra)	*93,28 nm*	*240,0 nm*	*135,3 nm*	*149,8 nm*
Rugosité quadratique (Rq)	*116,4 nm*	*302,0 nm*	*166,6 nm*	*184,7 nm*
Ondulation arithmétique (Wa)	*80,21 nm*	*158,5 nm*	*99,61 nm*	*574,8 nm*
Ondulation quadratique (Wq)	*101,9 nm*	*191,1 nm*	*112,9 nm*	*626,2 nm*

Tableau comparatif des états de surface du cuivre

Annexe

L'interface structurée

- **Substrat PCB unitaire fonctionnalisé**

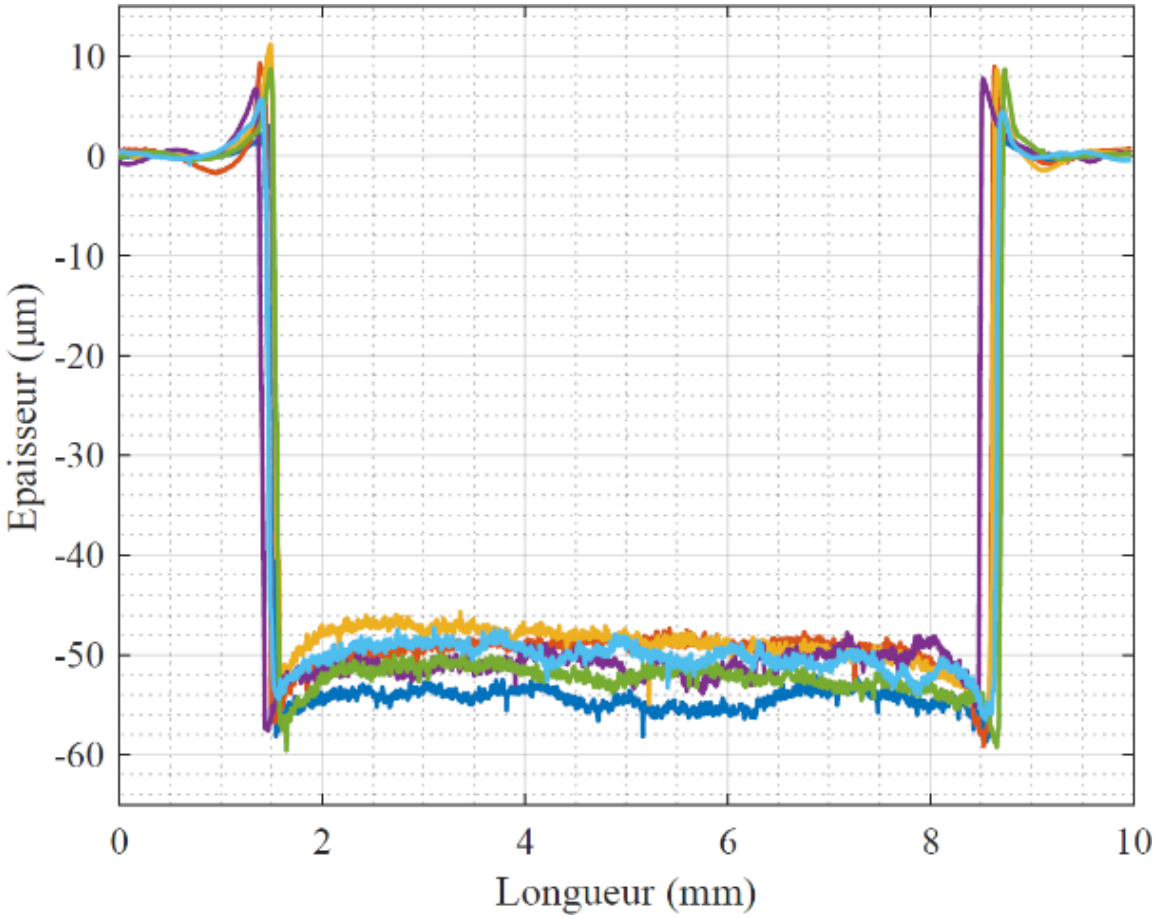


Mesure au profilomètre de la cavité du film photosensible

Annexe

L'interface structurée

- **Electro-gravure du cuivre de la cavité (cellule ouverte)**

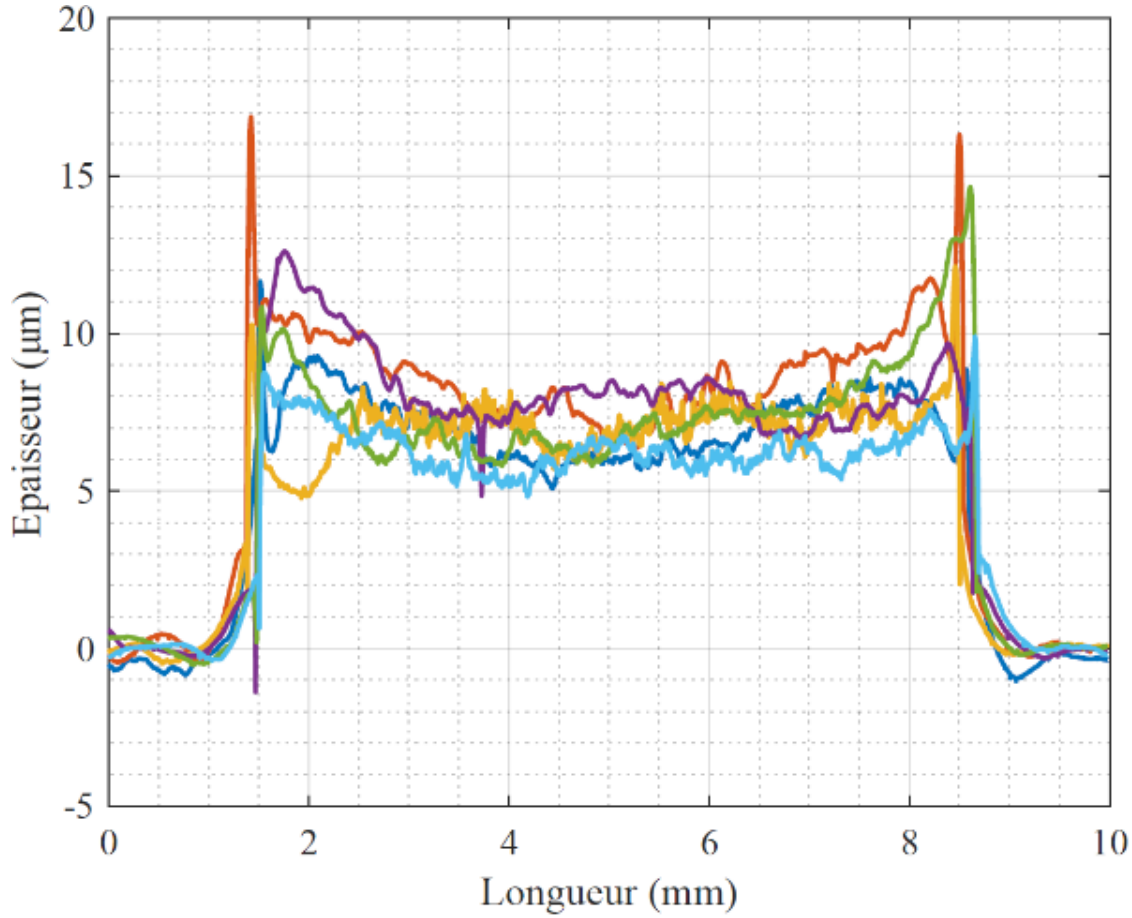


Mesure au profilomètre de la cavité du film photosensible après électro-gravure

Annexe

L'interface structurée

- **Electrodéposition du plot en cuivre (cellule ouverte)**

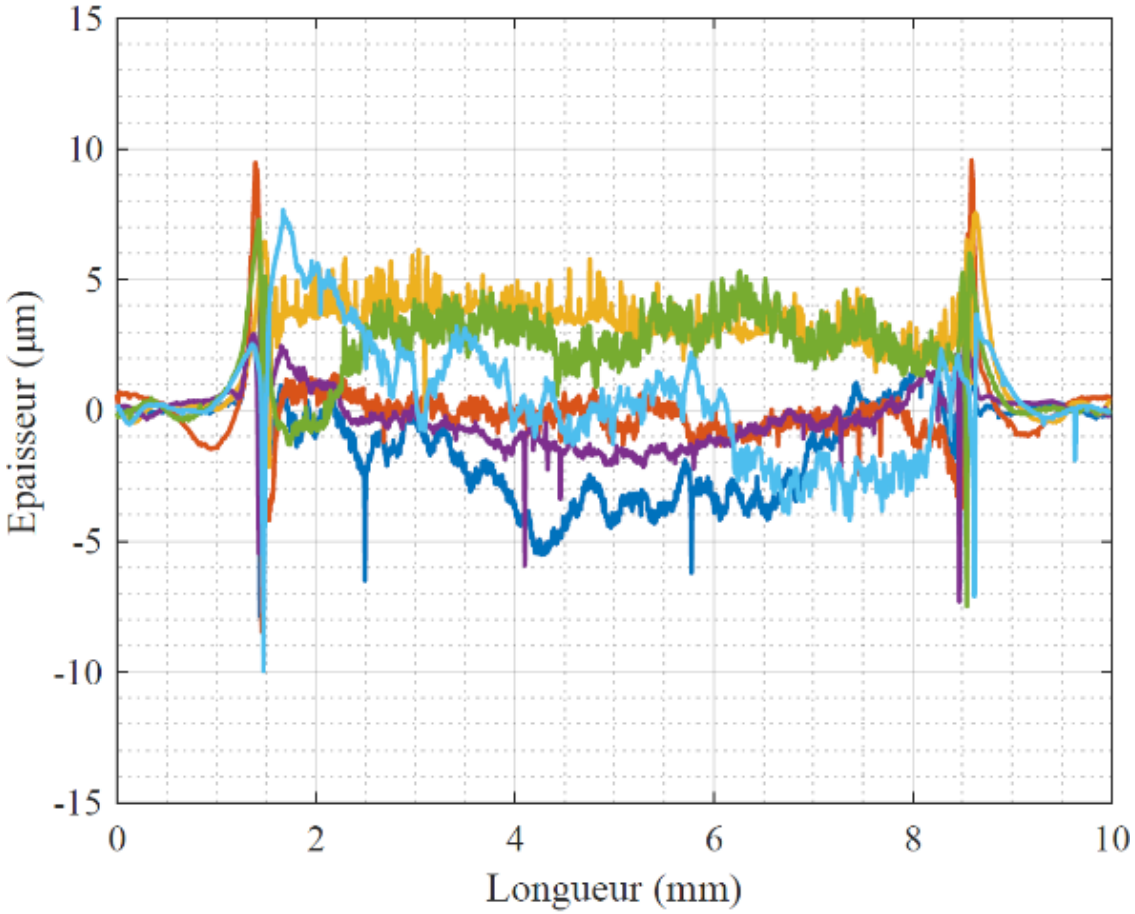


Mesure au profilomètre de la cavité du film photosensible après électrodépostion

Annexe

L'interface structurée

- **Mise à niveau du plot avec le film par électro-gravure (cellule ouverte)**

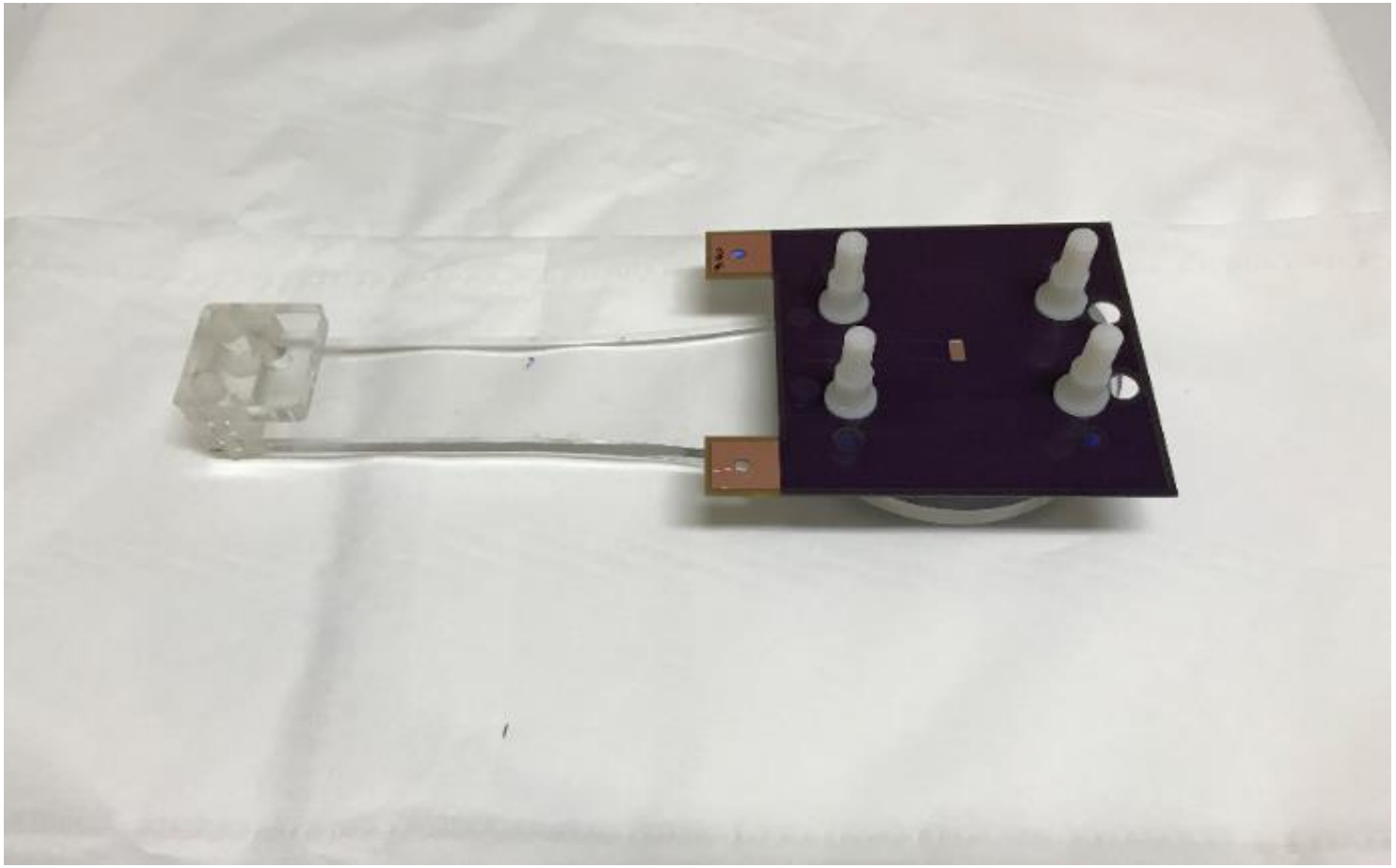


Mesure au profilomètre de la cavité du film photosensible après éléctro-gravure

Annexe

L'interface structurée

- **Electro-gravure du cuivre de la cavité (cellule ouverte)**

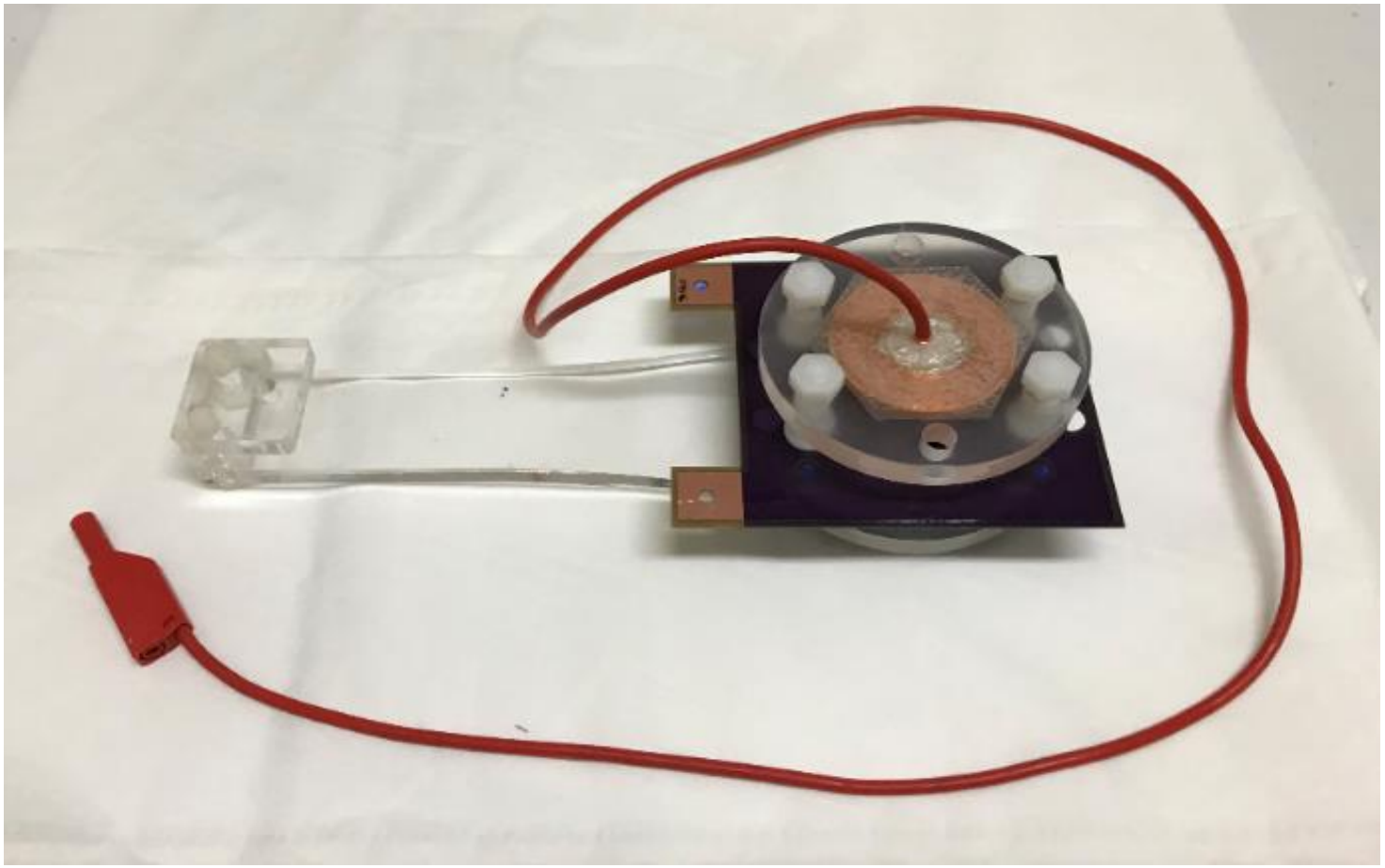


Photographie du substrat PCB sur son support avec placement des entretoises

Annexe

L'interface structurée

- **Electro-gravure du cuivre de la cavité (cellule ouverte)**



Photographie de la cellule électrolytique assemblée

Annexe

L'interface structurée

- **Mise en place de la membrane**

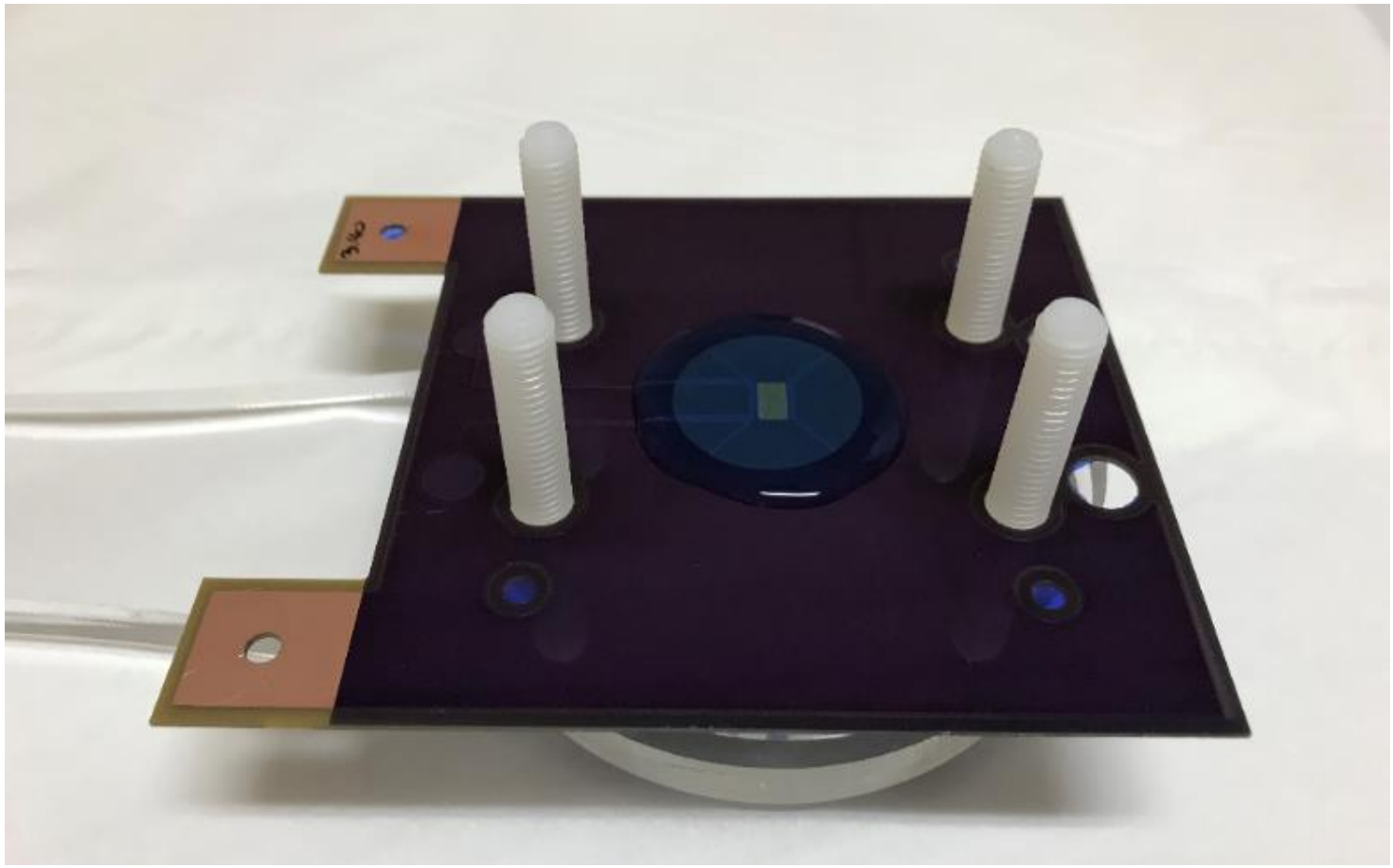
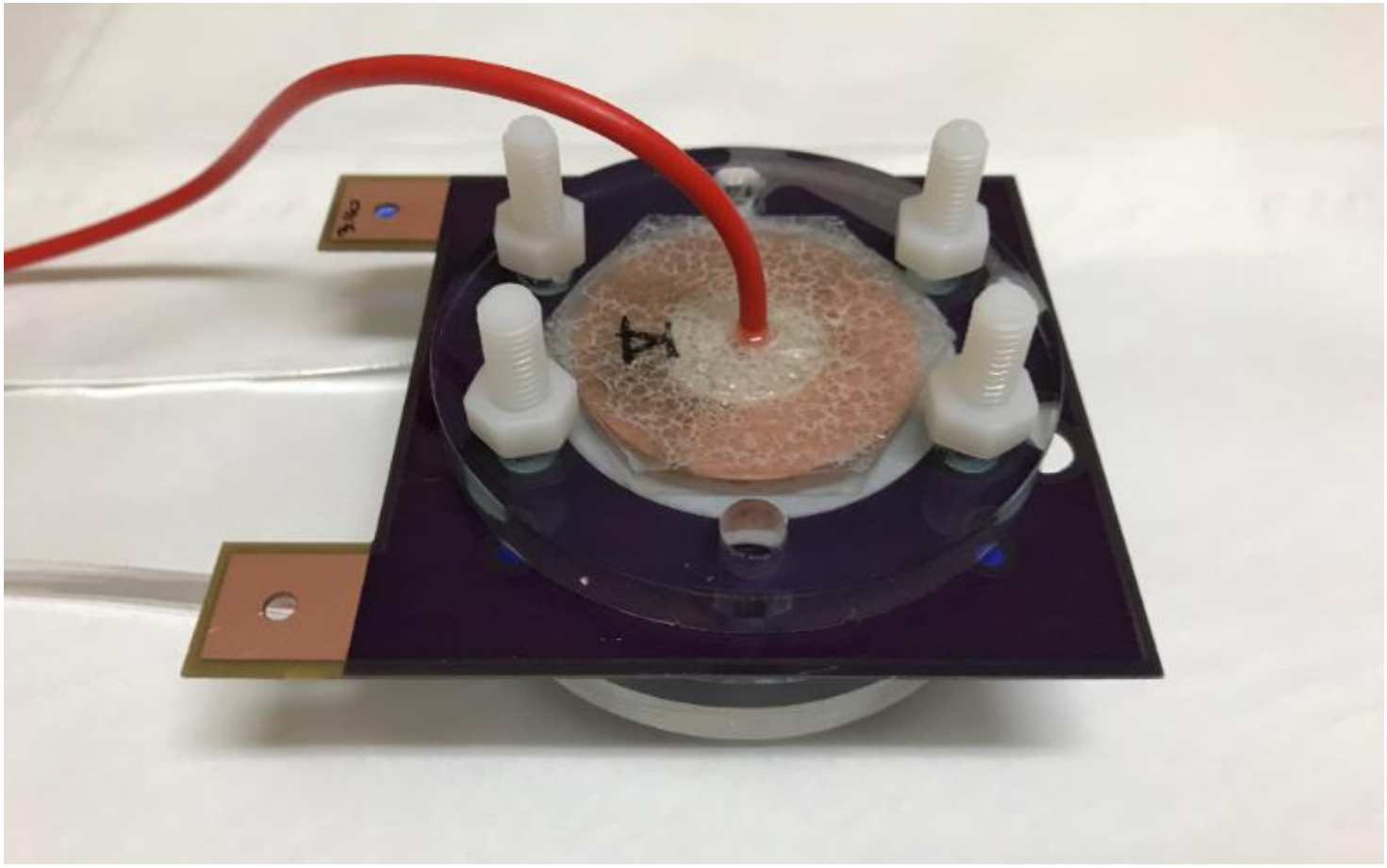


Image de la zone de dépôt avec implémentation de la membrane au microscope numérique (x200)

Annexe

L'interface structurée

- **Mise en place de la membrane**



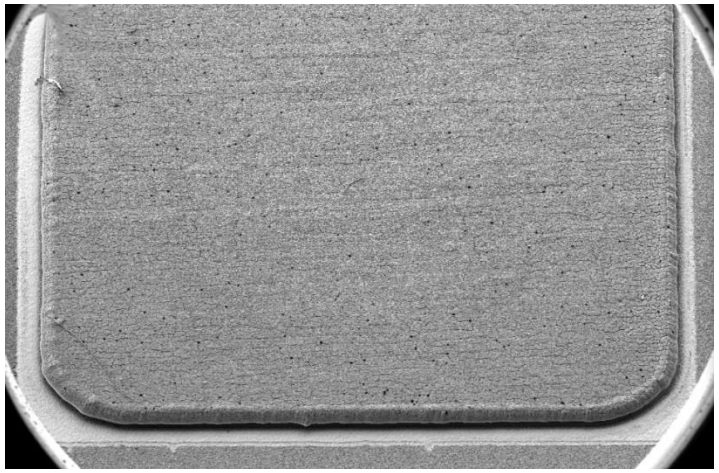
Photographie de la cellule électrolytique assemblée (cellule fermée)

Annexe

Amélioration du dépôt de la nano structure

- **Homogénéisation des dépôts de nano structures par ouverture de la cellule**

SANS OUVERTURE ☹ **AVEC OUVERTURE** ☺



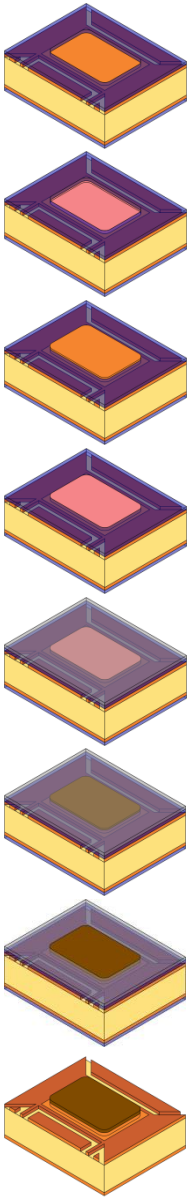
Images de dépôts de nano fils en cuivre avant et après l'ajout de l'étape d'ouverture de la cellule électrolytique au microscope électronique à balayage (x25)

Paramètre cellule	Différence de hauteur (µm)	Effet « champignon » (µm)
Sans ouverture	*~ 30 µm*	*~ 40 µm*
Avec ouverture	*~ 1 µm*	*~ 20 µm*

Tableau comparatif des nano structures en fonction de l'utilisation de l'étape d'ouverture de la cellule électrolytique

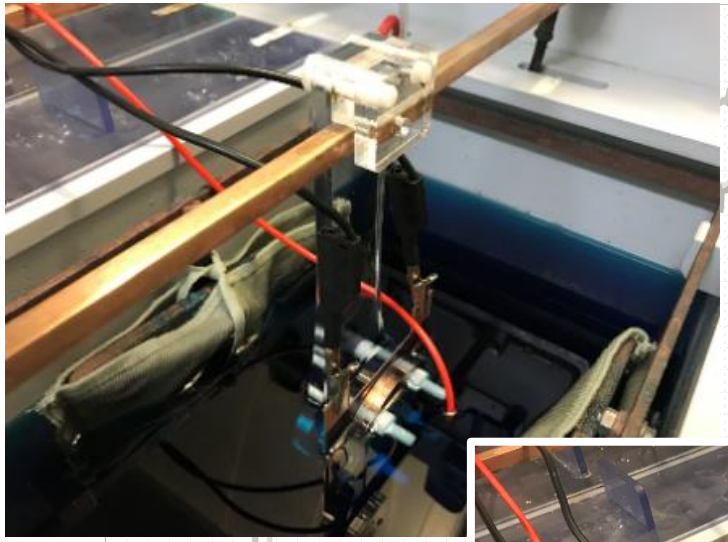
Annexe

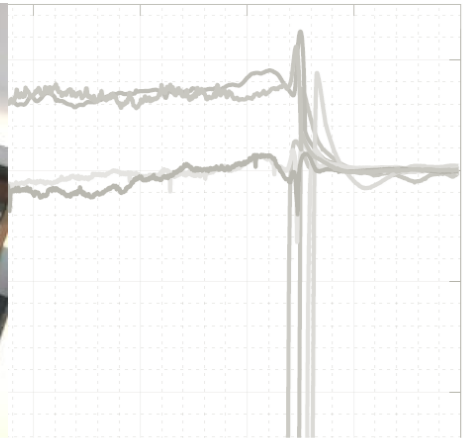
Parallélisation des cellules électrolytiques

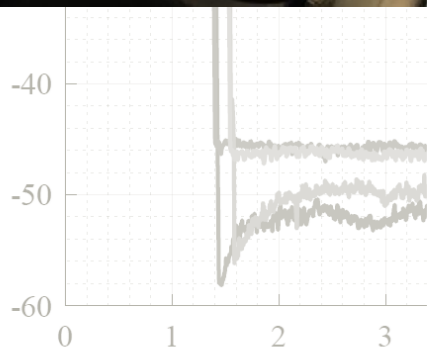


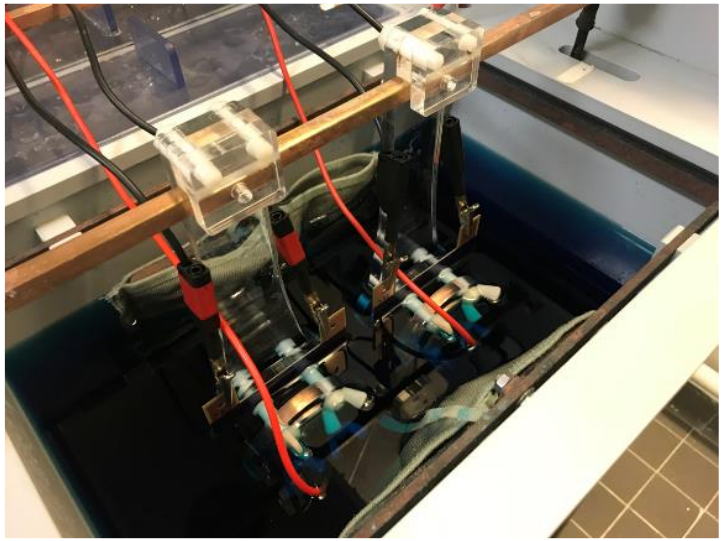
➢ **Utilisation de deux cellules élecrolytiques**

Echantillon x2







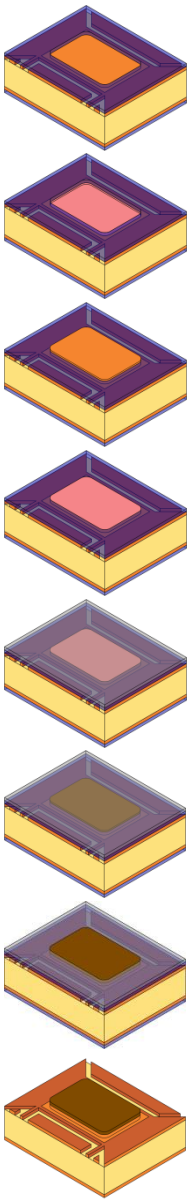


Elaboration de deu

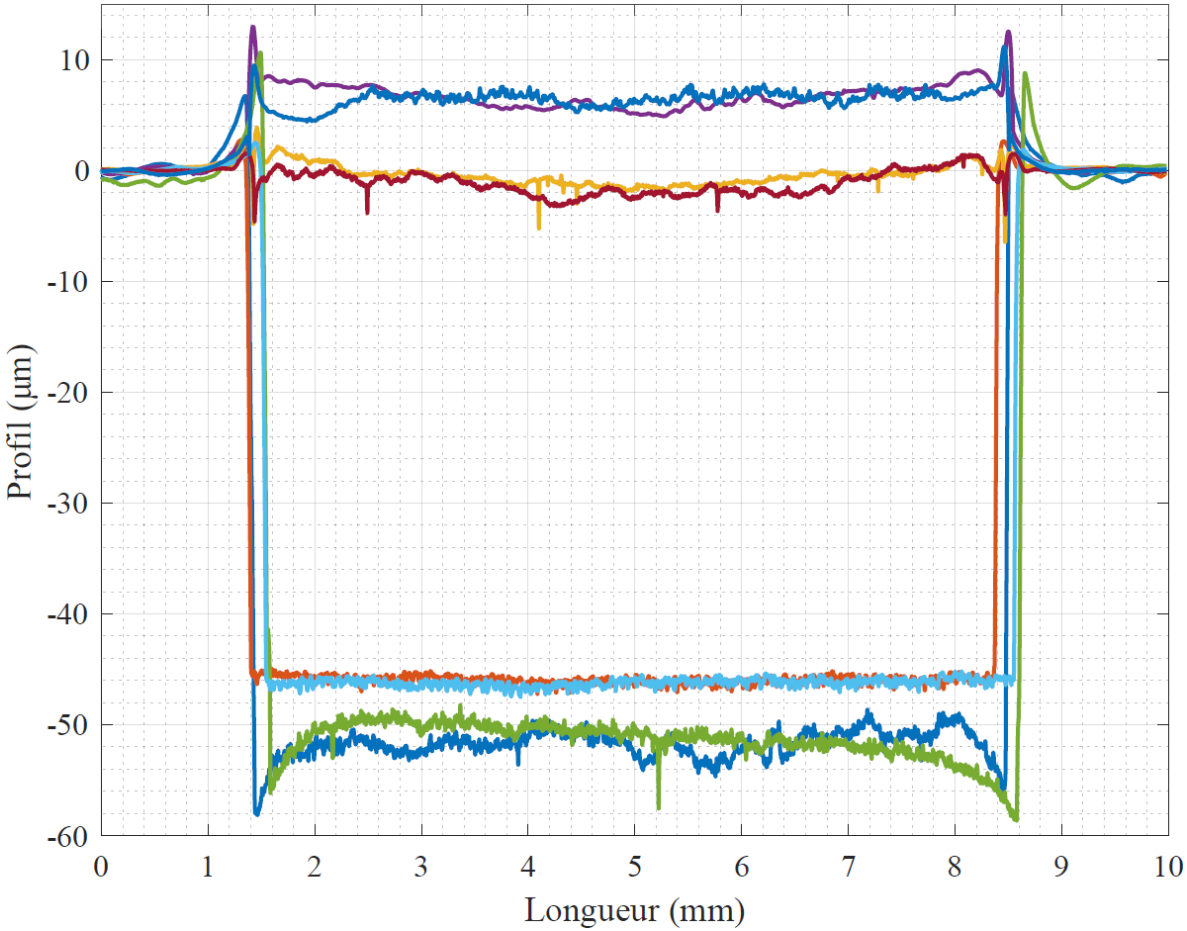
Annexe

Parallélisation des cellules électrolytiques

- **Utilisation de deux cellules élecrolytiques**



Echantillon x2

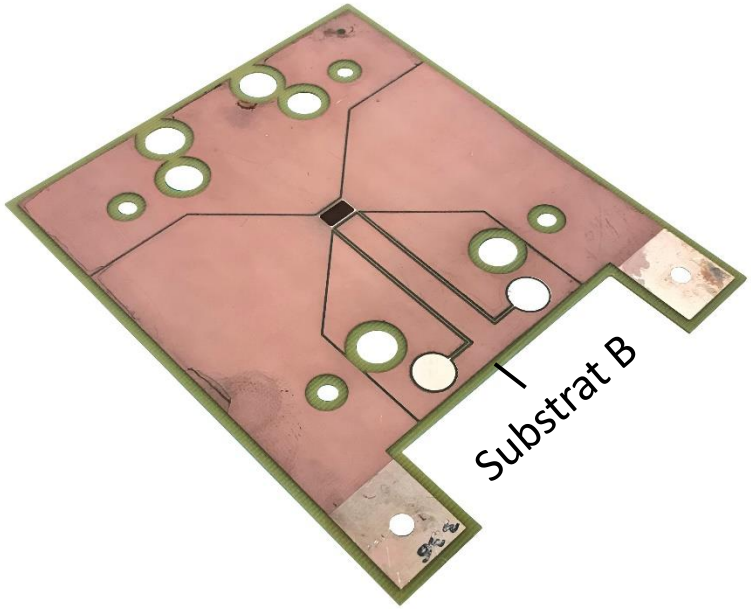


Elaboration de deux interfaces structurées

Annexe

La conception

- **Le substrat unitaire**



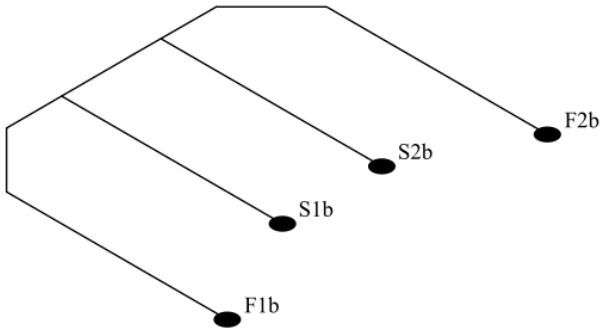
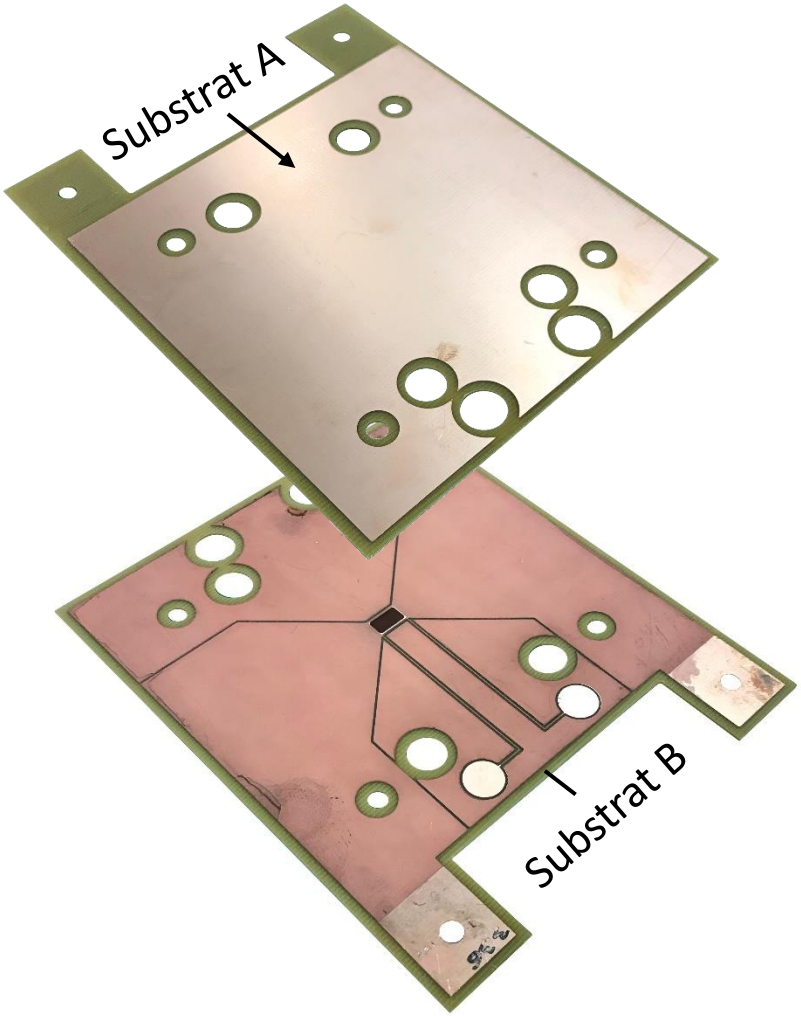


Schéma électrique équivalent

Annexe

La conception

- **Les deux substrats unitaires au regard avec une rotation de 180°**



Substrat 2 en 1

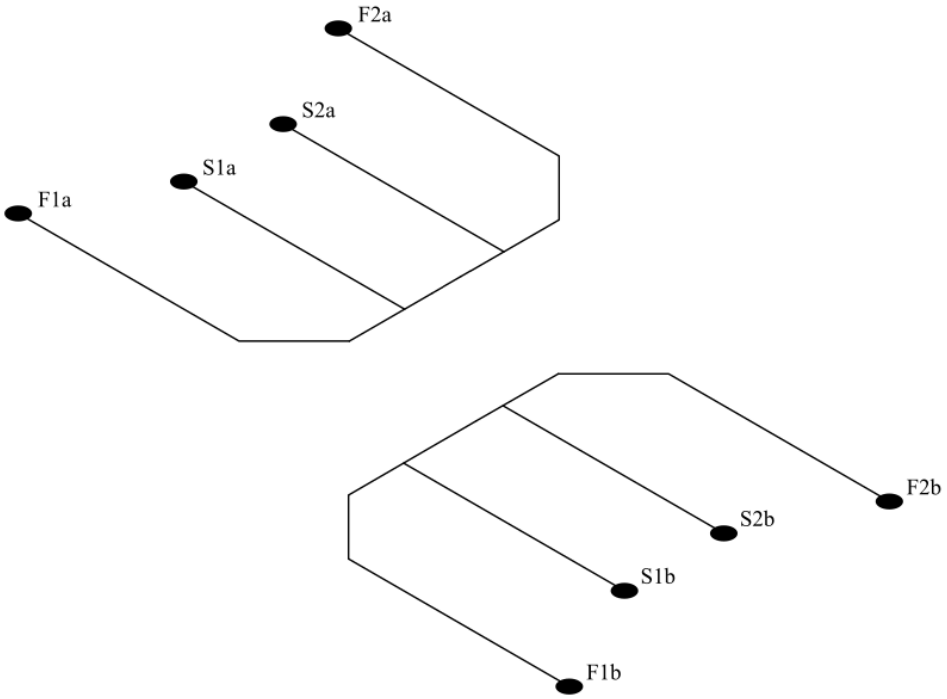
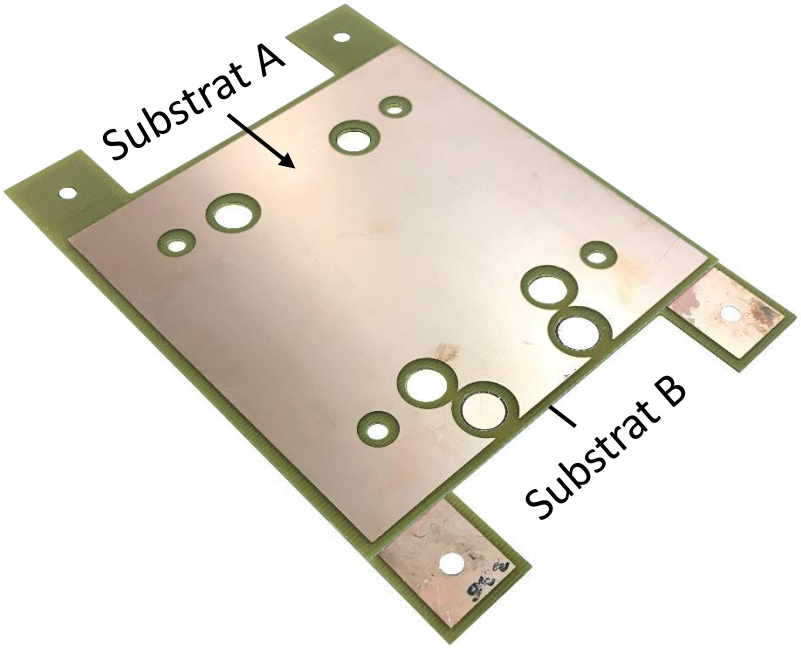


Schéma électrique équivalent

Annexe

La conception

- **La principe de mise en contact « électrique » des substrats**



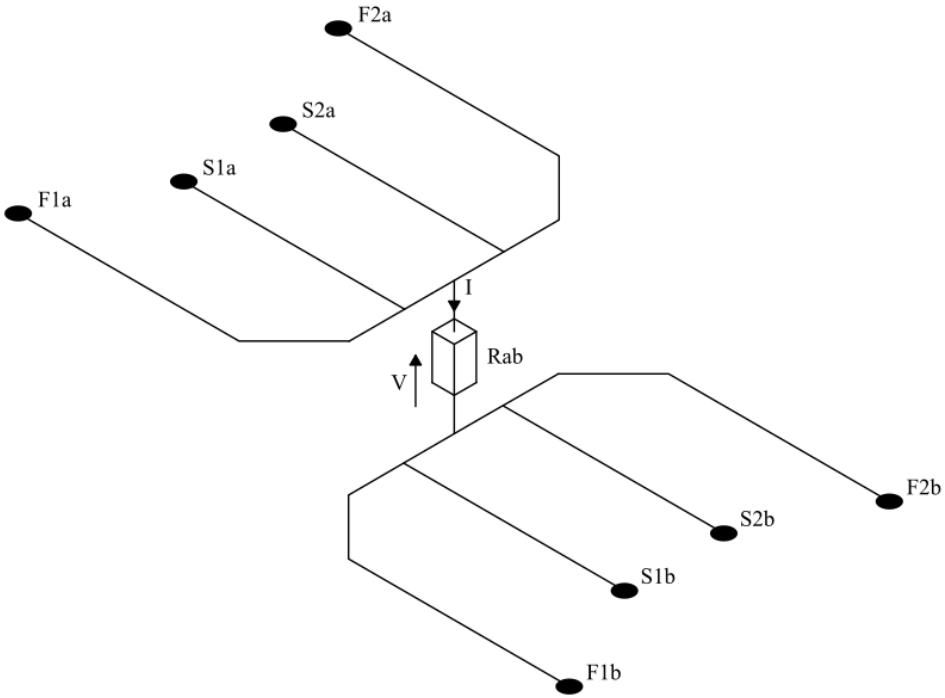
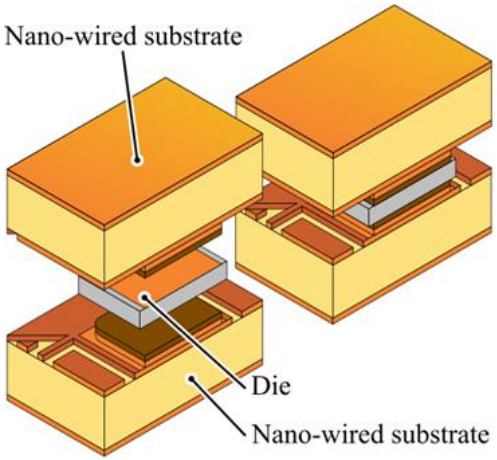


Schéma électrique équivalent

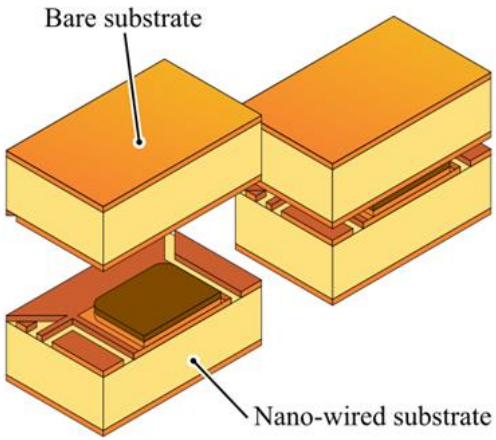
Annexe

La conception

- **Les jonctions étudiées (R_{ab}) entre substrats : puce interconnectée et interface structure**



R_{ab} = Puce interconnectée



R_{ab} = Interface structurée

Encore 2 en 1 !

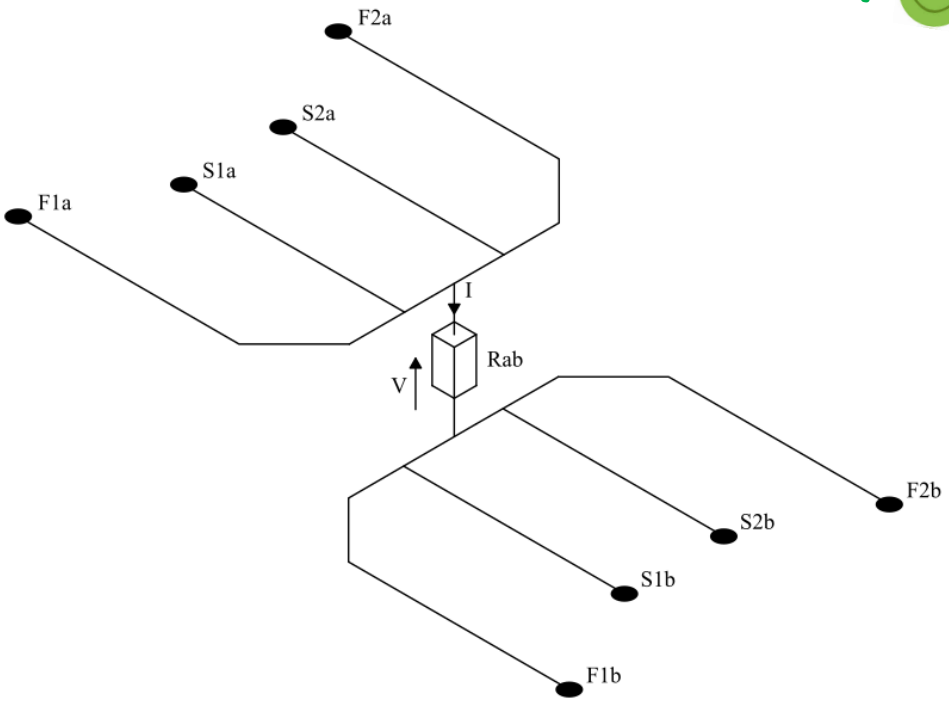


Schéma électrique équivalent

Annexe

La thermo-compression des substrats

- **Préparation du support**

1. Support en acier 10 x 10 cm² ;

Partie inférieure du support de pressage

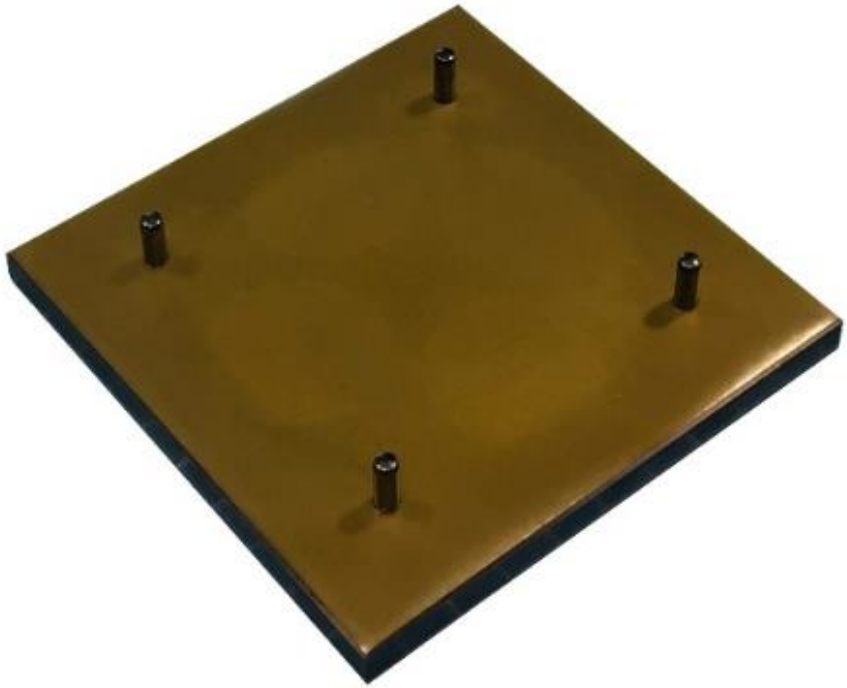
Annexe

La thermo-compression des substrats

- **Préparation du support**

1. Support en acier 10 x 10 cm² ;
2. Couche antiadhésive ThermoFilm™ ;

- **Qui ? Quoi ? « Pourquoi » ?**



Gamme Thermo™ par Pacothane technologies

Partie inférieure du support de pressage

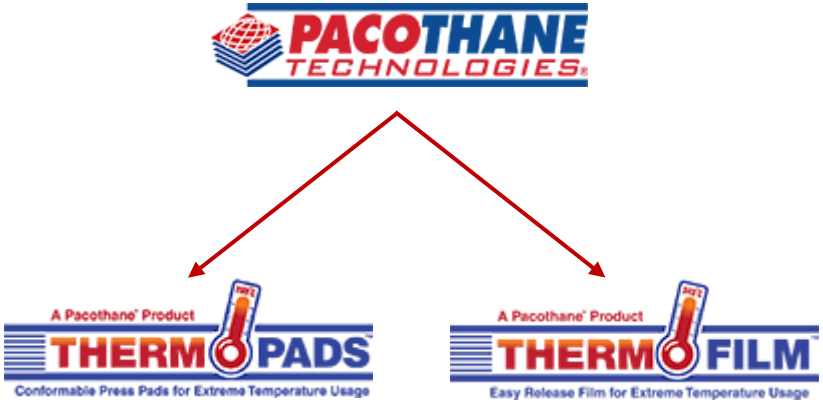
Annexe

La thermo-compression des substrats

- **Préparation du support**

1. Support en acier 10 x 10 cm² ;
2. Couche antiadhésive ThermoFilm™ ;
3. Conformant ThermoPad™ ;

- **Qui ? Quoi ? « Pourquoi » ?**



Gamme Thermo™ par Pacothane technologies

Partie inférieure du support de pressage

Annexe

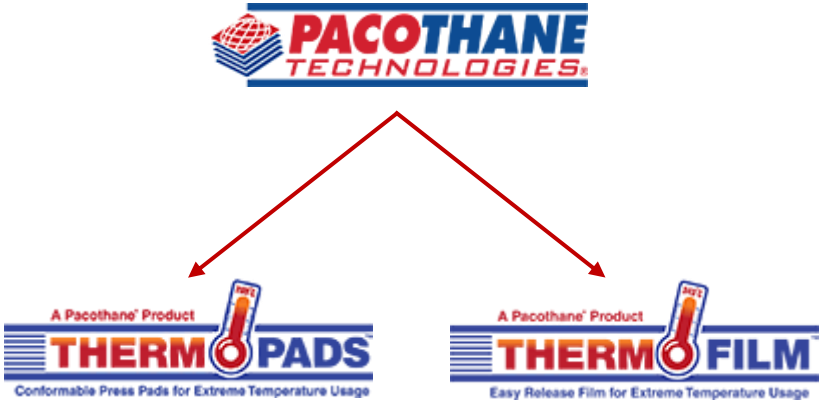
La thermo-compression des substrats

➢ **Préparation du support**

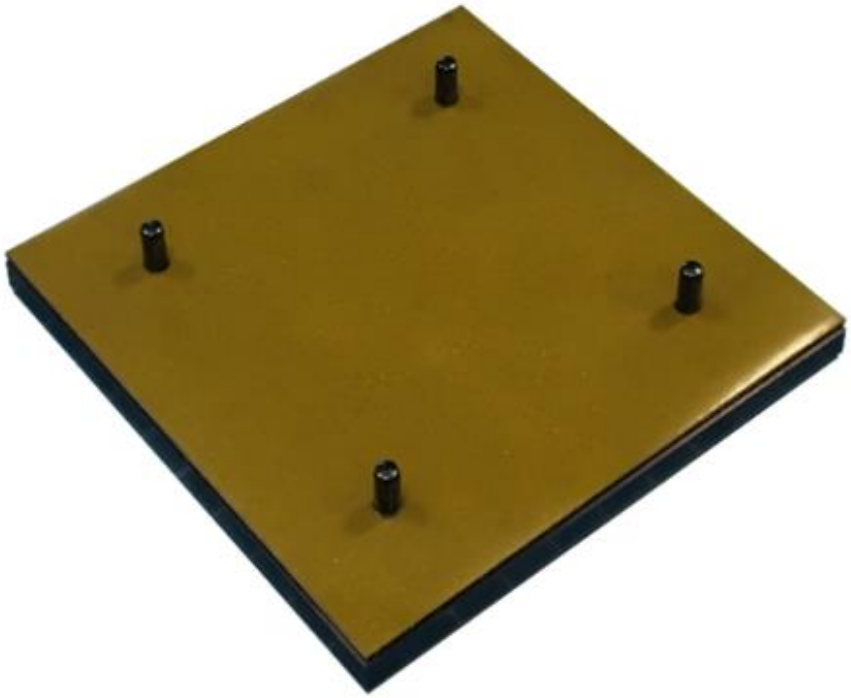
1. Support en acier 10 x 10 cm² ;
2. Couche antiadhésive ThermoFilm™ ;
3. Conformant ThermoPad™ ;
4. Couche antiadhésive ThermoFilm™.

⚠ ***Idem* à la fermeture du support !**

➢ **Qui ? Quoi ? « Pourquoi » ?!**



Gamme Thermo™ par Pacothane technologies



Partie inférieure du support de pressage

Annexe

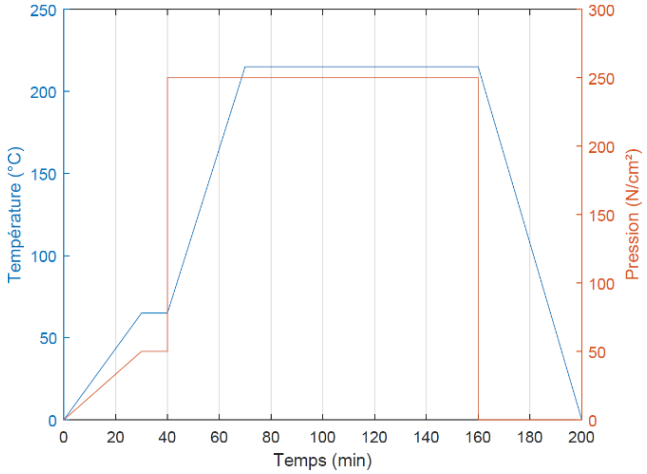
La thermo-compression des substrats

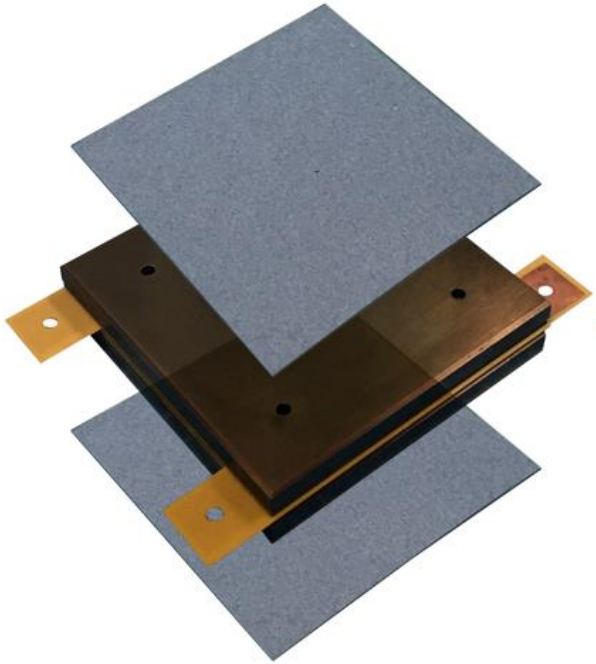
- **Dernières étapes du procédé de fabrication**

(a) Protection des plateaux avec du papier « Kraft bleu » ;

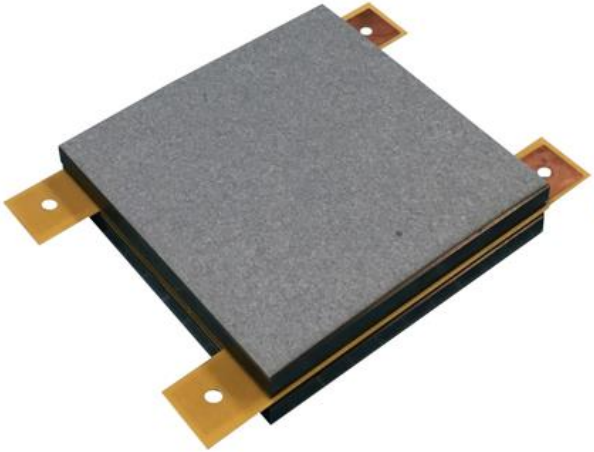
(b) Stratifiation de l'assemblage par thermo-compression ;

(c) Retrait de l'assemblage de son support ;

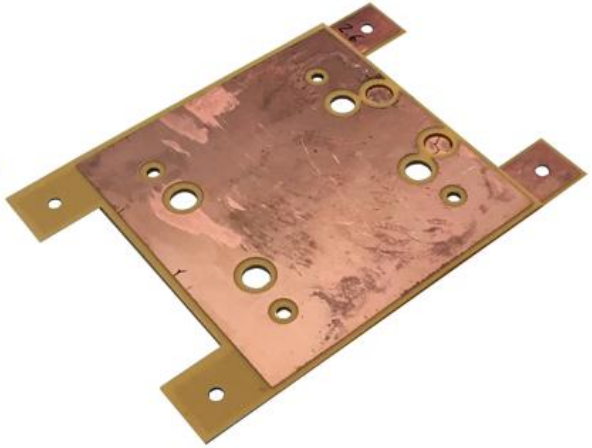




(a)



(b)



(c)

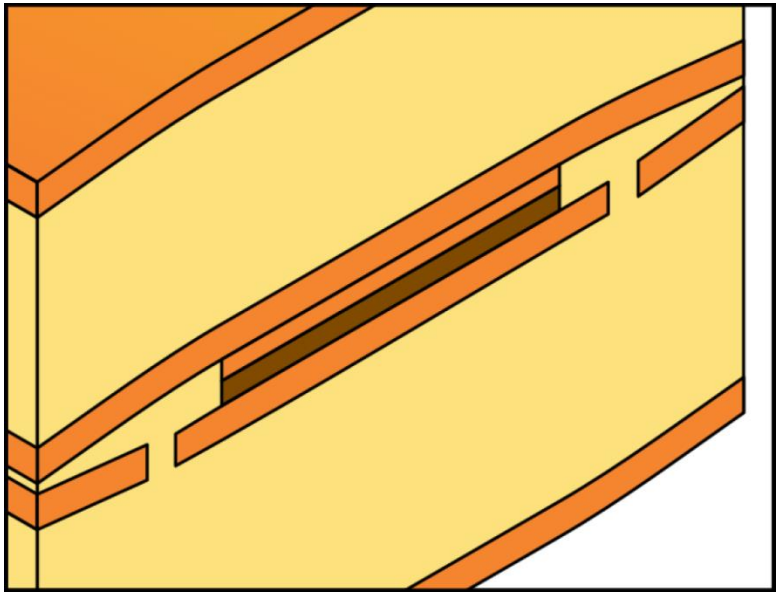
Annexe

La définition de l'épaisseur du diélectrique

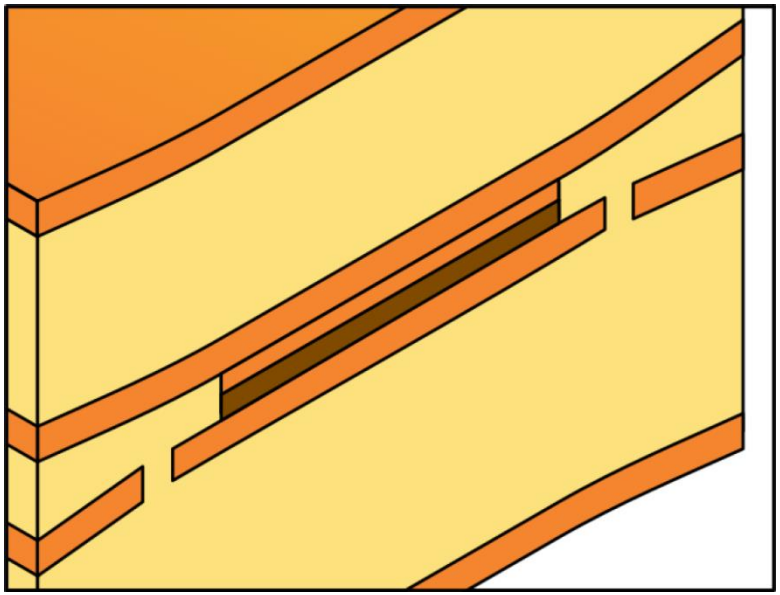
- **Les caractéristiques recherchées**

1. Flexibilité des nano fils en cuivre pour réduire les contraintes mécaniques/thermo-mécaniques ;
2. Contact ohmique optimal pour minimiser les éléments parasites (électrique).

- **L'études de l'épaisseur du diélectrique (≃ 80 & 120 µm) avec une interface structurée (≃ 100 µm)**



Déformation des nano fils
(pré-imprégné Arlon 35N 1080 ≃ 80 µm)



Déformation des substrats PCB
(pré-imprégné Arlon 35N 2116 ≃ 120 µm)

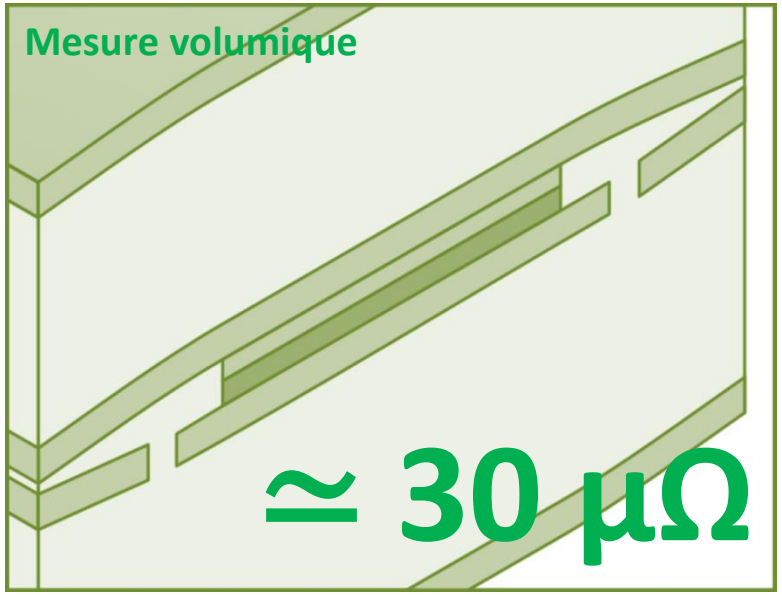
Annexe

La comparaison des solutions d'assemblage d'une interface structurée

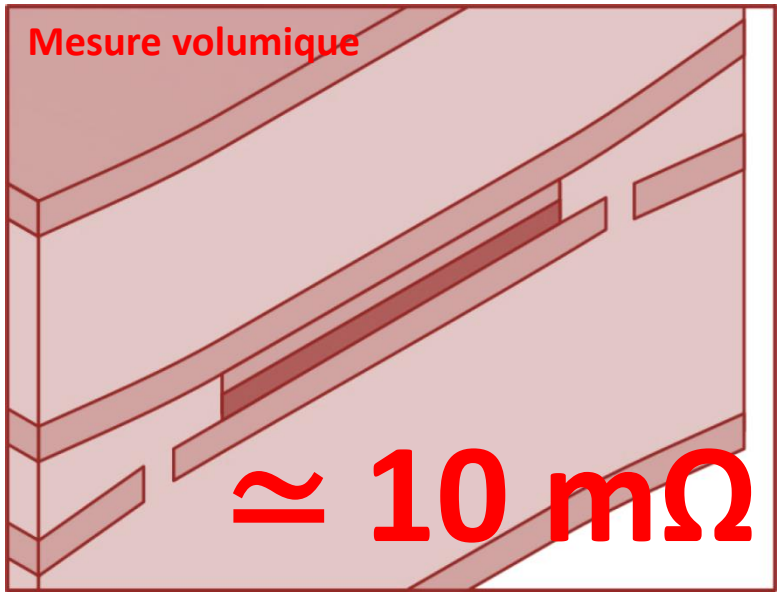
- **Le protocole expérimental**

1. Calcul de la résistance électrique théorique d'une interface structurée ≃ 118 nΩ ;
2. Comparaison avec les résultats obtenus par déformation des nano fils et des substrats PCB.

- **Les mesures de résistance volumétrique en fonction de l'épaisseur du diélectrique (≃ 80 & 120 µm) pour une interface structurée (≃ 100 µm)**



Déformation des nano fils
(pré-imprégné Arlon 35N 1080 ≃ 80 µm)



Déformation des substrats PCB
(pré-imprégné Arlon 35N 2116 ≃ 120 µm)

Annexe

Les mesures de résistance

➢ Définition de la durée de thermalisation des prototypes

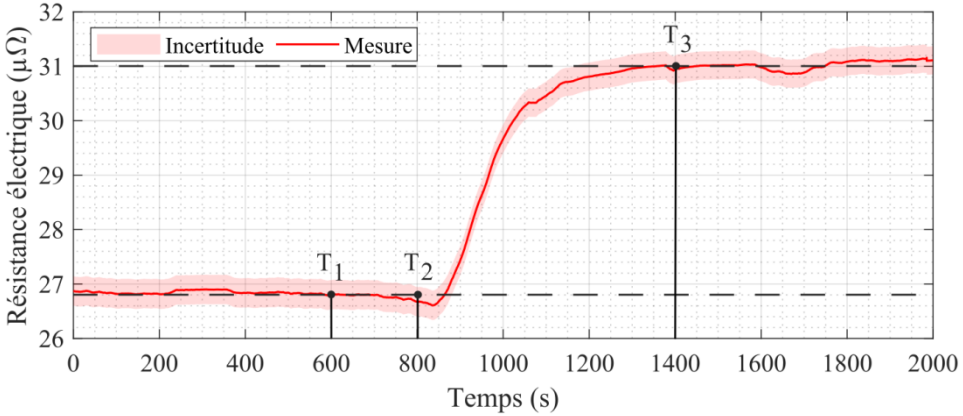
Les étapes de definition de la durée :

1. Etuvage de l'échantillon
   (2 heures à 121°C)
2. Consigne en temperature
   (2 heures à 20°C)
3. Lancement de la mesure
   (nano-voltmètre)
4. Consigne en temperature
   (+ 10°C)
5. Stabilisation de la mesure
   (nano-voltmètre)

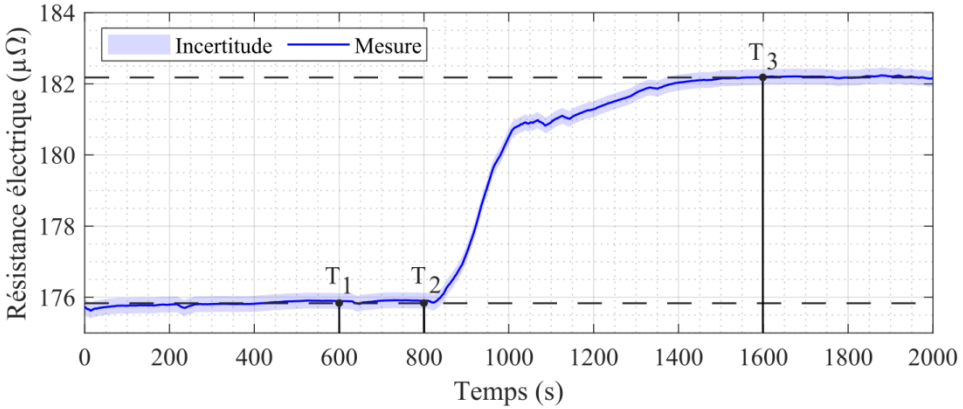
Soit :

$$\Delta T = T_3 - T_1$$

ΔT : Durée de thermalisation *(s)*
T1 : Changement de la consigne *(s)*
T2 : Début de la variation de résistance *(s)*
T3 : Stabilisation de la mesure *(s)*



Définition de la durée de thermalisation pour les prototypes intégrant une interface structurée



Définition de la durée de thermalisation pour les prototypes intégrant une puce factice

Annexe

La caractérisation électrique d'une interface structurée

➢ **Le bilan des mesures : La dispersion ? Et la répétabilité ? Pour conclure ?**

Le protocole de mesure est :

1. Composé de 5 combinaisons de mesure ;
2. Comprenant 11 mesures de résistance ;
3. Entre 20°C et 120°C (par pas de 10°C) ;
4. Pour un total de 330 mesures de résistance.

Les résultats montrent :

1. Une résistance volumique entre **20 µΩ** (@ 20°C) et **45 µΩ** (@ 120°C) avec un 3σ < **5 µΩ** ;
   *Soit une résistance surfacique comprise entre **5,1 µΩ.cm²** (@ 20°C) et **11,5 µΩ.cm²** (@ 120°C)*

2. Une résistance unilatérale entre **45 µΩ** (@ 20°C) et **120 µΩ** (@ 120°C) avec un 3σ ≃ **30 µΩ** ;
   *Soit une résistance surfacique comprise entre **11,5 µΩ.cm²** (@ 20°C) et **30,8 µΩ.cm²** (@ 120°C)*

3. Une résistance bilatérale entre **130 µΩ** (@ 20°C) et **215 µΩ** (@ 120°C) avec un 3σ ≃ **15 µΩ**.
   *Soit une résistance surfacique comprise entre **33,3 µΩ.cm²** (@ 20°C) et **55,1 µΩ.cm²** (@ 120°C)*

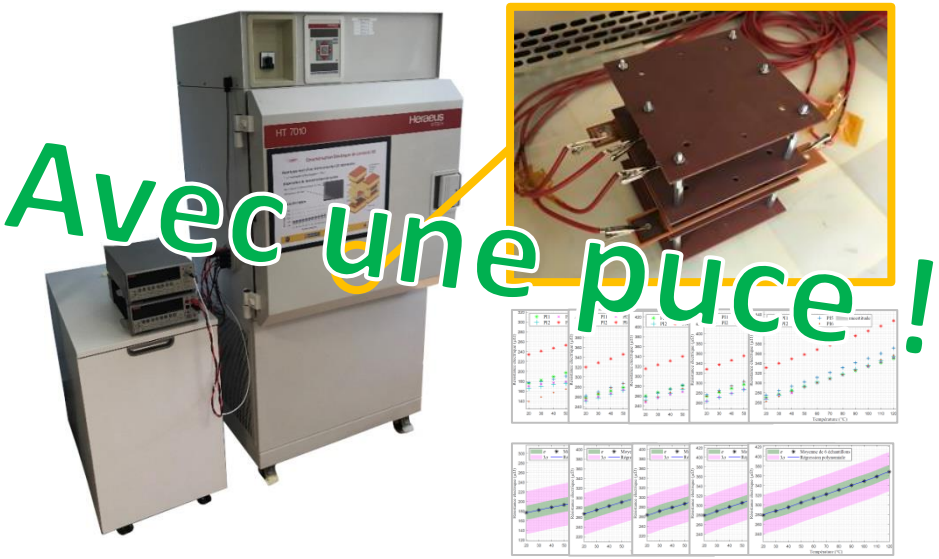
Annexe

La caractérisation électrique d'une puce interconnectée

➢ **Le bilan des mesures : La dispersion ? Et la répétabilité ? Pour conclure ?**

Le protocole de mesure est :

1. Composé de 5 combinaisons de mesure ;
2. Comprenant 11 mesures de résistance ;
3. Entre 20°C et 120°C (par pas de 10°C) ;
4. Pour un total de 330 mesures de résistance.



Les résultats montrent :

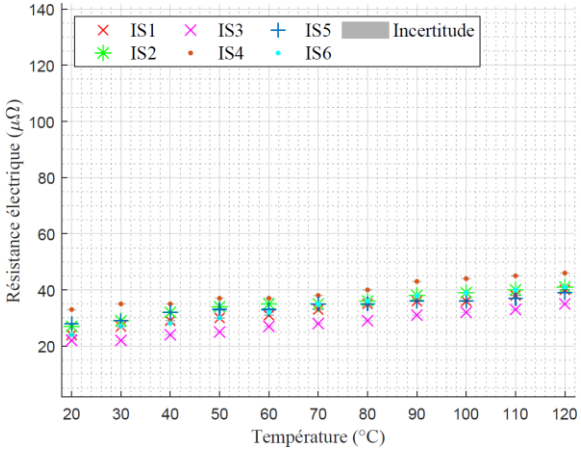
1. Une résistance volumique entre **140 µΩ** (@ 20°C) et **290 µΩ** (@ 120°C) avec un 3σ ≃ **45 µΩ** ;
2. Une résistance unilatérale entre **250 µΩ** (@ 20°C) et **410 µΩ** (@ 120°C) avec un 3σ ≃ **45 µΩ** ;
3. Une résistance bilatérale entre **260 µΩ** (@ 20°C) et **430 µΩ** (@ 120°C) avec un 3σ ≃ **40 µΩ**.

Un échantillon avec une résistance supérieure (~ 60 µΩ) en comparaison aux autres échantillons et multipliant la dispersion par 4 !

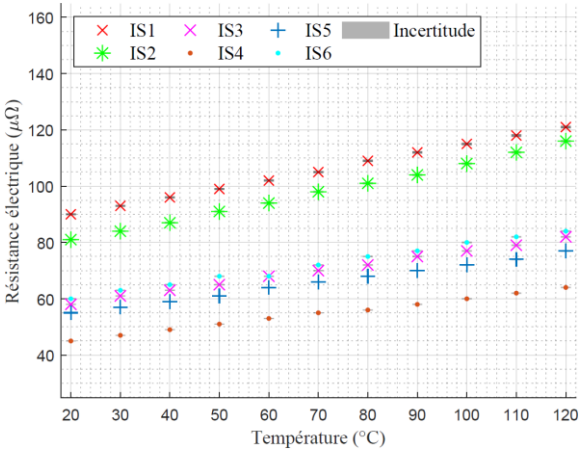
Annexe

La caractérisation électrique d'une interface structurée

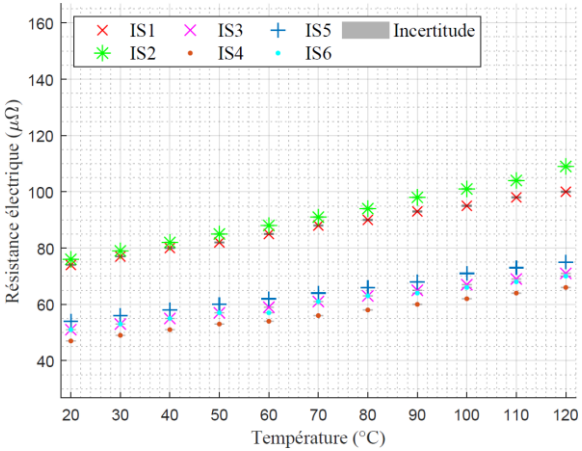
➢ **Les valeurs brutes des mesures de résistance électrique d'une interface structurée**



Volumique

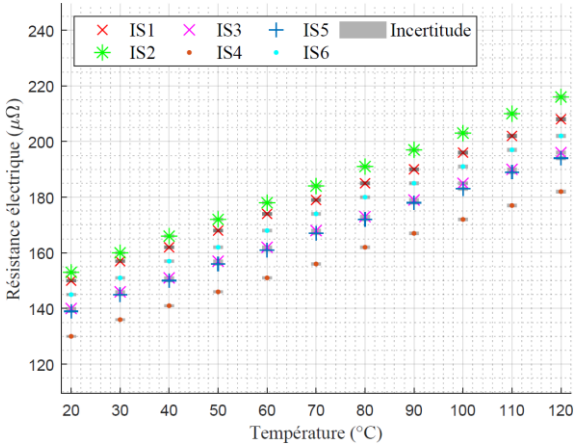


Unilatérale N°1

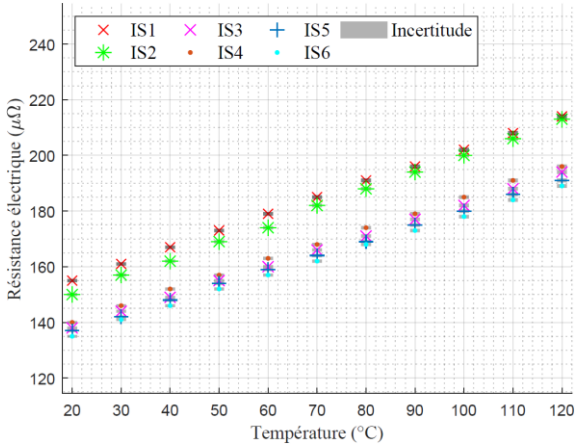


Unilatérale N°2

Proto. X1



Bilatérale N°1

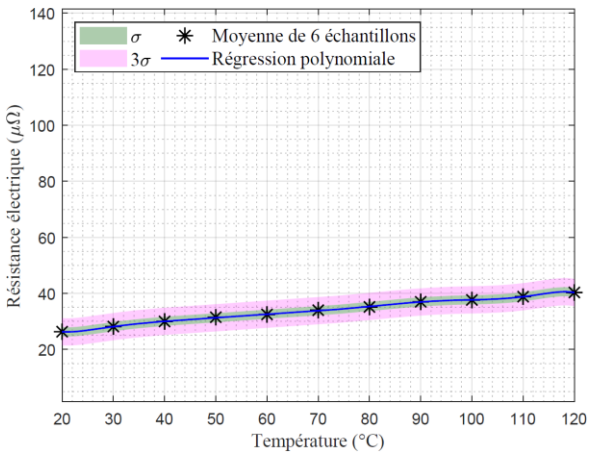


Bilatérale N°2

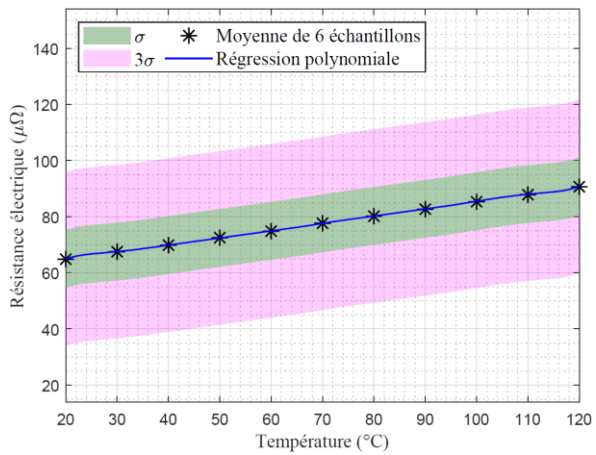
Annexe

La caractérisation électrique d'une interface structurée

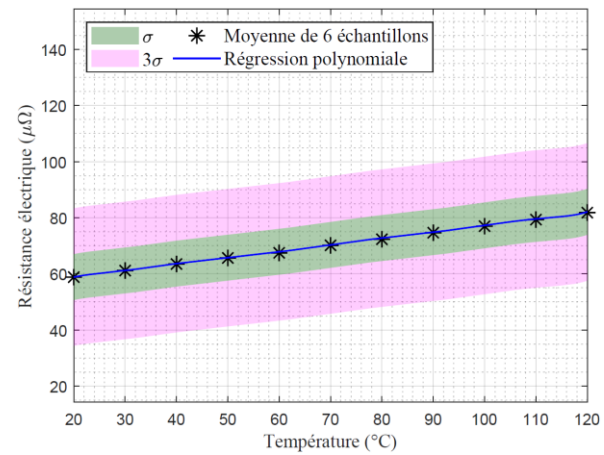
- **L'analyse statistiques des mesures de résistance électrique des interface structurées**



Volumique

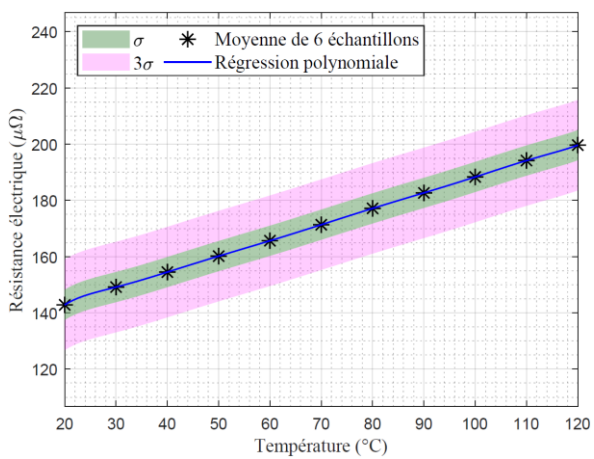


Unilatérale N°1

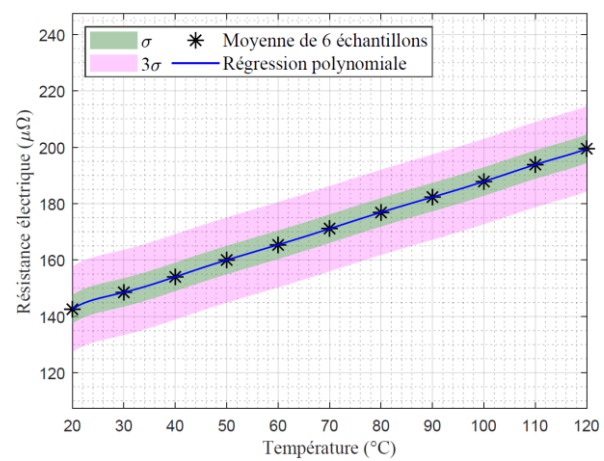


Unilatérale N°2

Proto. x6



Bilatérale N°1

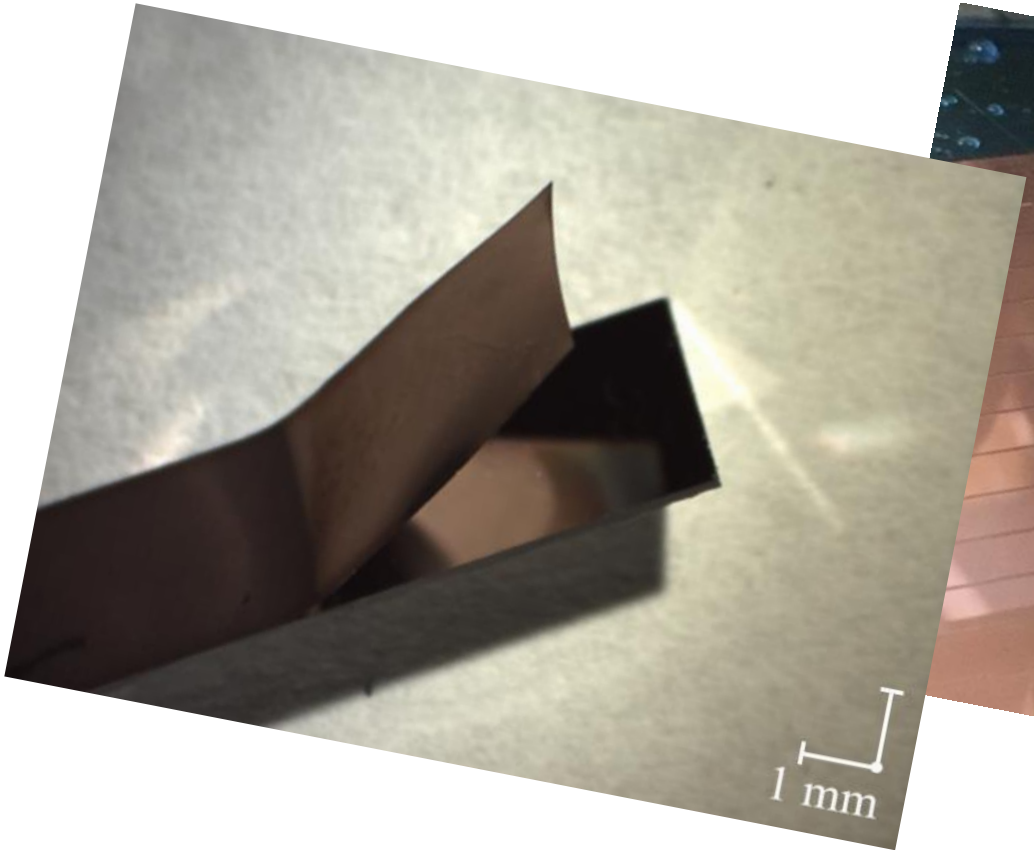


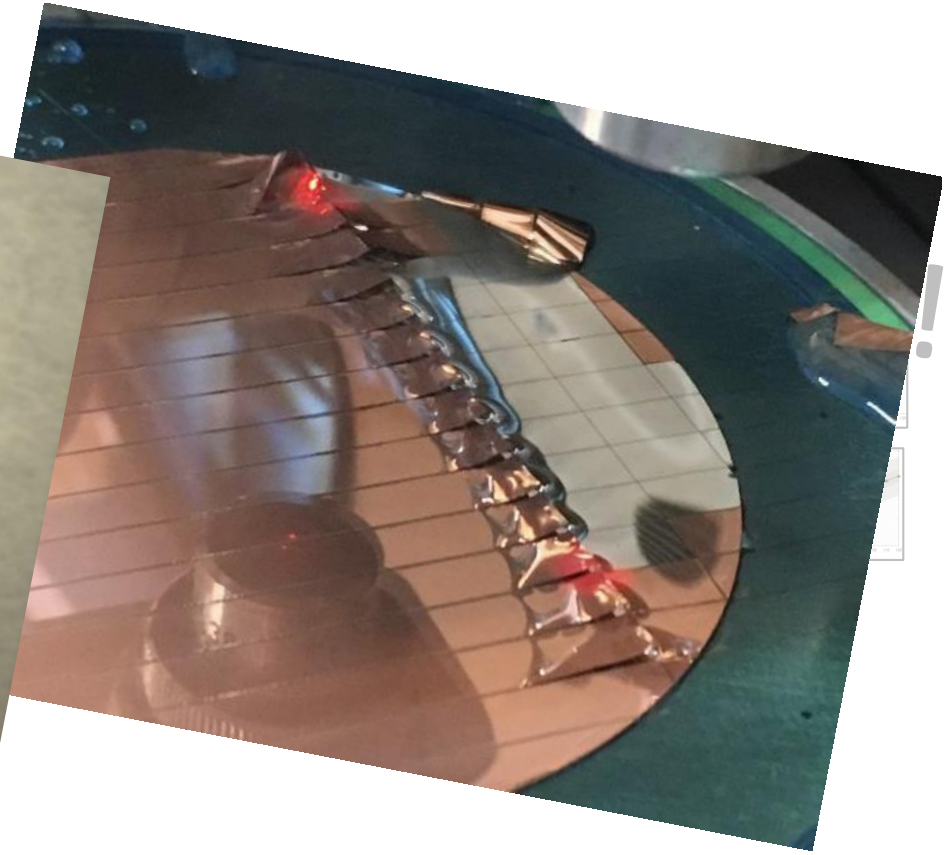
Bilatérale N°2

Annexe

La caractérisation électrique d'une puce interconnectée

- **La métallisation des puces ? Cause ?**





Un échantillon avec une résistance supérieure (~ 60 µΩ) en comparaison aux autres échantillons et multipliant la dispersion par 4 !

Annexe

Estimation de la résistance thermique : « Utilisation des substrats »

➢ **Capteur de température**

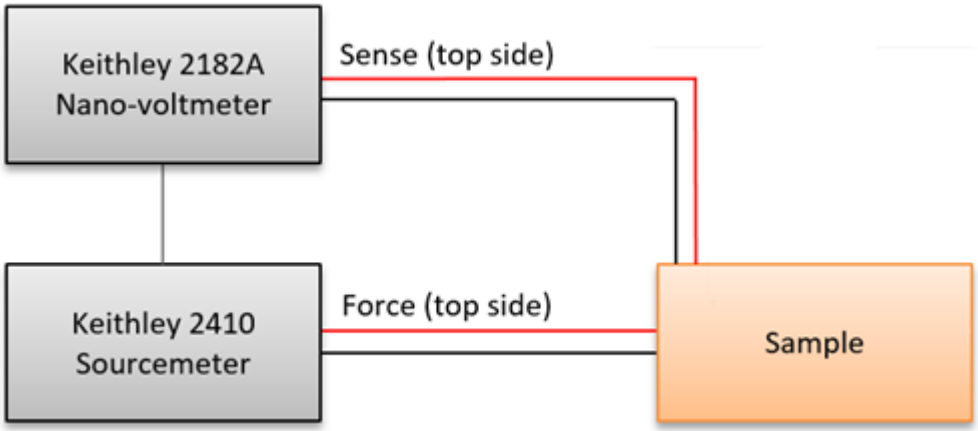


Schéma de principe de la mesure du substrat supérieur

Modèle analytique d'après la relation de la résistance en fonction de la température :

$$T = \frac{R - R_{20}}{\alpha \times R_{20}} + T_{20}$$

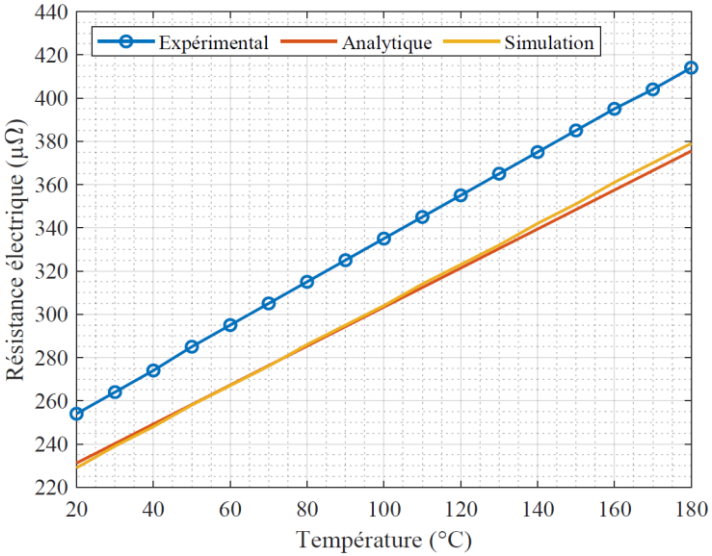
Avec $\alpha = 3.9 \times 10^{-3}\ K^{-1}$

$T_{20} = 20°C$

$R_{20} = 231\ \mu\Omega$

➢ **Calibration entre 20°C et 120°C**

1. Température de consigne ;
2. Thermalisation ;
3. Mesure au nano-voltmètre.



R(T) de la constriction d'un substrat

--- Calibration

--- Modèle analytique

--- Simulation (COMSOL Multiphysics®)

Annexe

Estimation de la résistance thermique : « Utilisation des substrats »

➢ **Génération évaluation du flux de chaleur et évaluation**

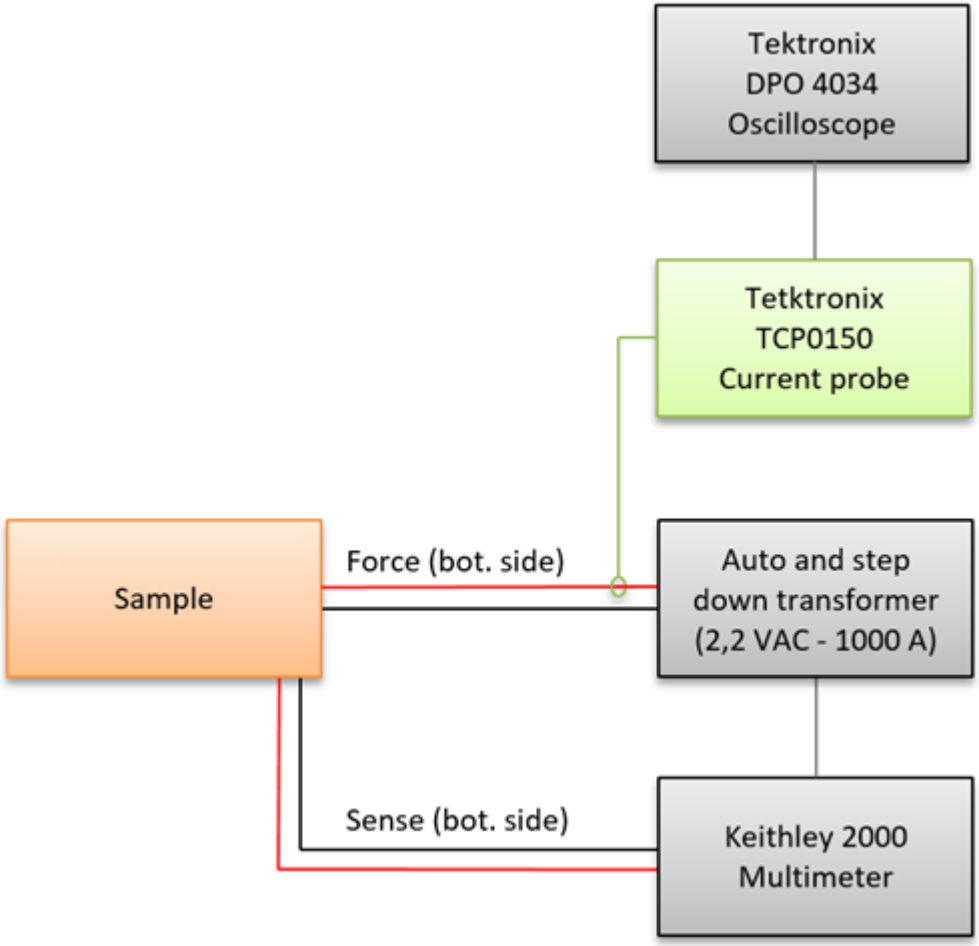


Schéma de principe de la mesure du substrat inférieur

Détermination de la puissance du flux

$$R_{th} = \frac{T_a - T_b}{P} = \frac{T_a - T_b}{U_a \times I_a}$$

Relation de la résistance thermique

R_{th} :	Résistance thermique *(en K/W)*
T_a :	Temp. du point froid *(en K)*
T_b :	Temp. du point chaud *(en K)*
P :	Puissance du flux *(en W)*
U_a :	Tension mesurée *(en V)*
I_a :	Courant appliqué *(en A)*

Mesure du courant appliqué

1. Rogowski CT310 (600 A) **~ + 10°C**
2. Tektronix TCP0030 (calibre 30 A) **~ + 1°C**
3. Tetktronix TCP0150 (calibre 150 A) **~ + 7°C**
4. Tetktronix TCP0150 (calibre 25 A) **~ > 1°C**

Estimation de la température comparée à la mesure de température de la constriction mesurée avec un thermocouple

Annexe

Estimation de la résistance thermique : « Utilisation des substrats »

- **Mise en place de la plaque froide**

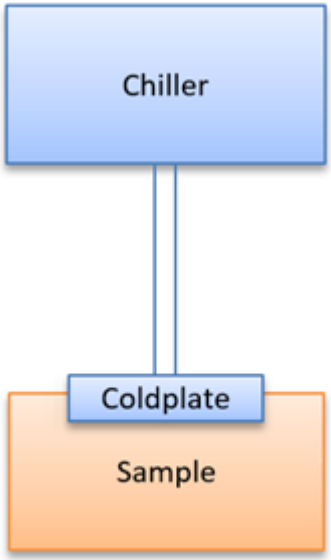


Schéma de principe de mise en place de la plaque froide

Régulation du point froid

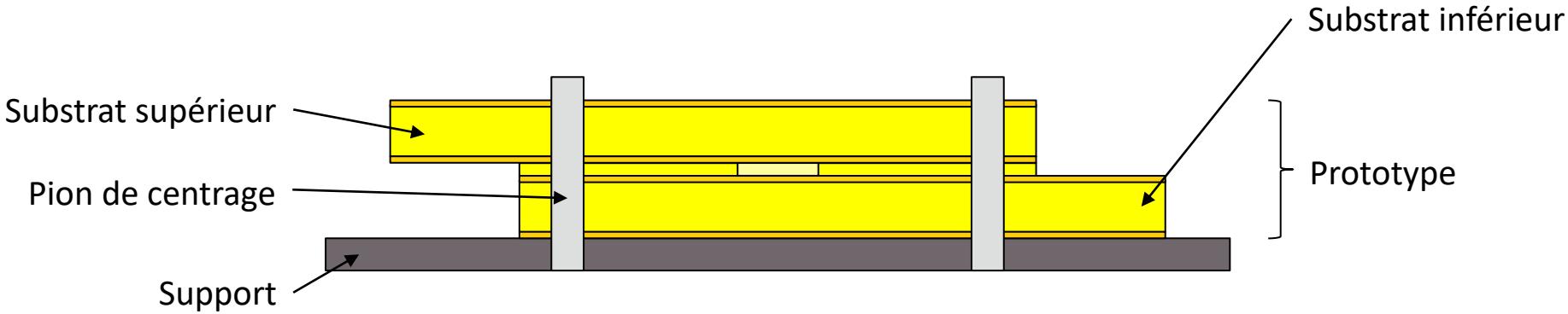
- Forcer le transfert du flux de chaleur à travers la structure étudiée

Nécessite

1. Système de régulation thermostaté
2. Plaque froide au contact de la piste

Comment

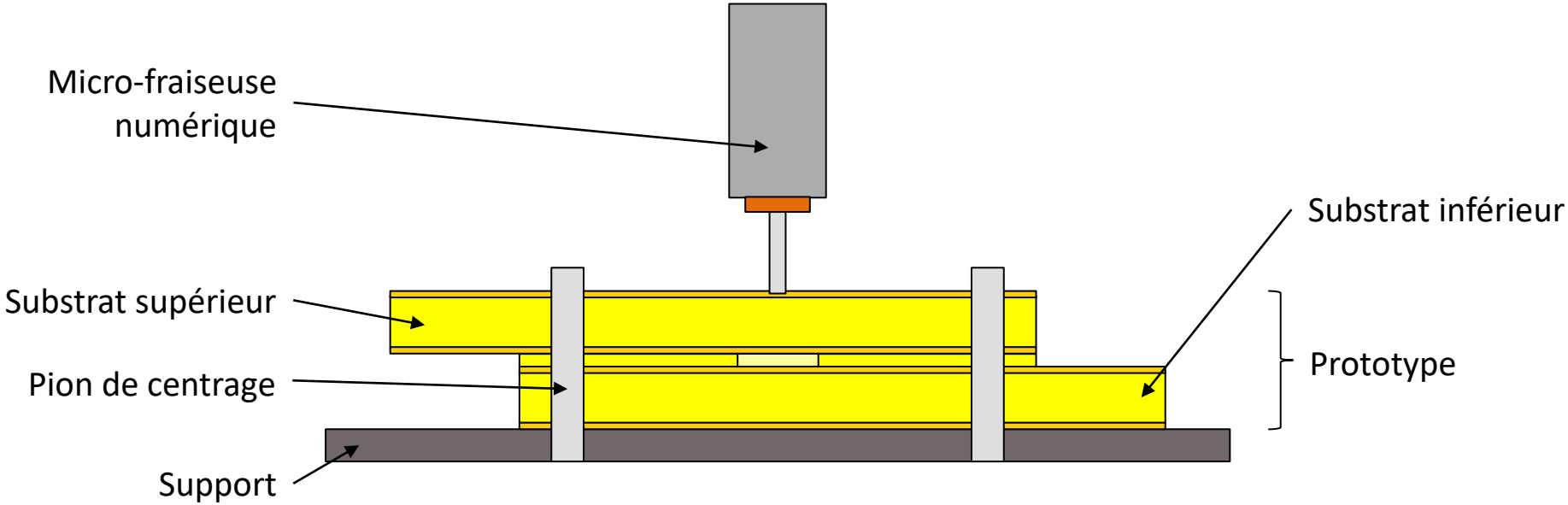
- Par modification de l'assemblage



Annexe

Estimation de la résistance thermique : « Utilisation des substrats »

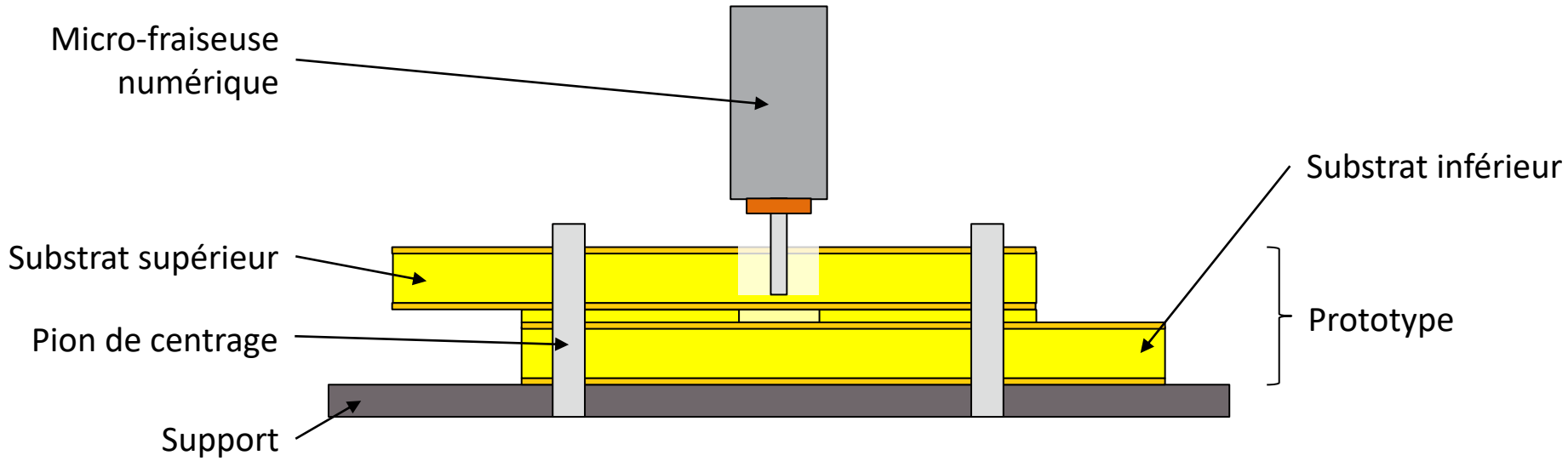
- **Mise en place de la plaque froide**



Annexe

Estimation de la résistance thermique : « Utilisation des substrats »

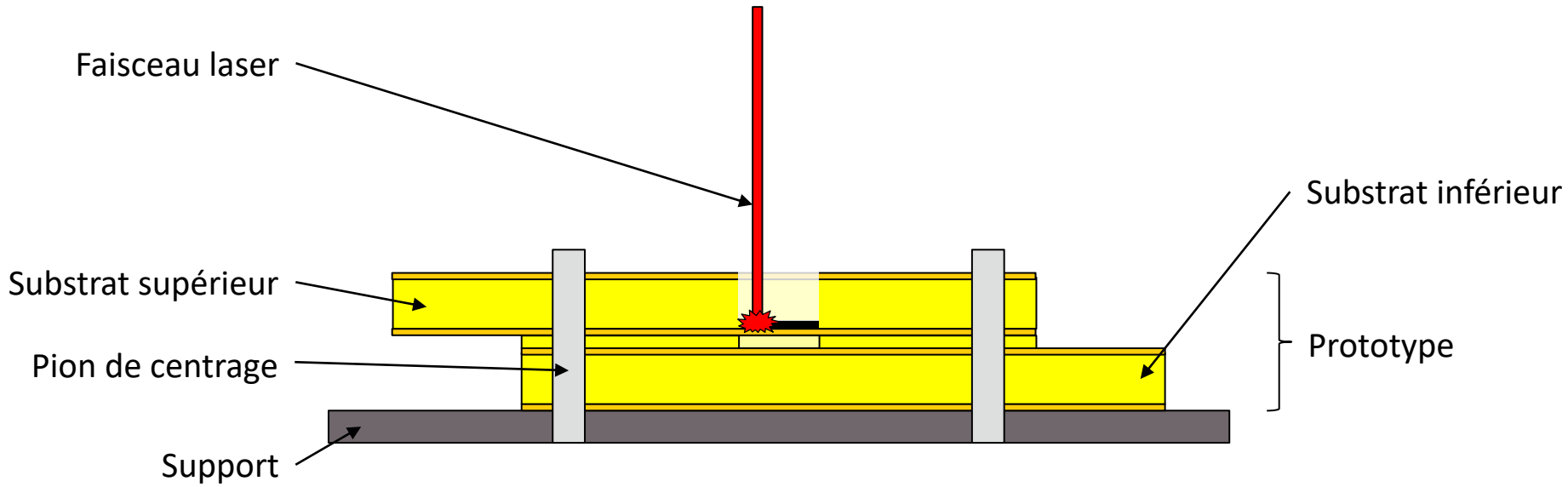
- **Mise en place de la plaque froide**



Annexe

Estimation de la résistance thermique : « Utilisation des substrats »

- **Mise en place de la plaque froide**

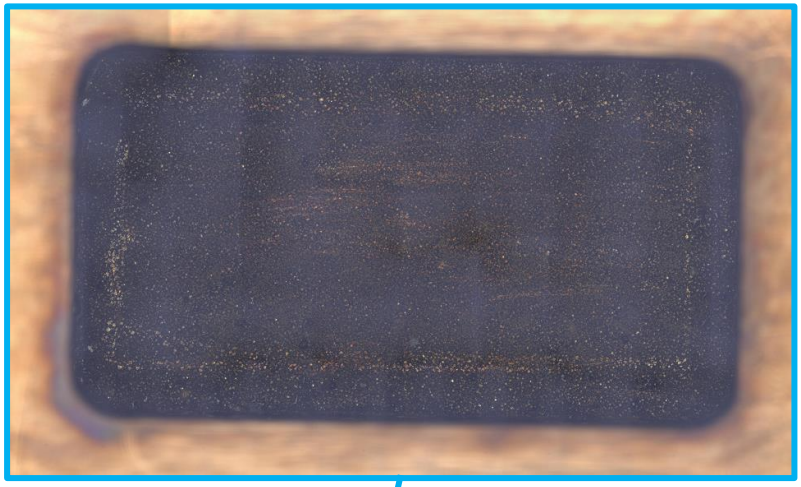


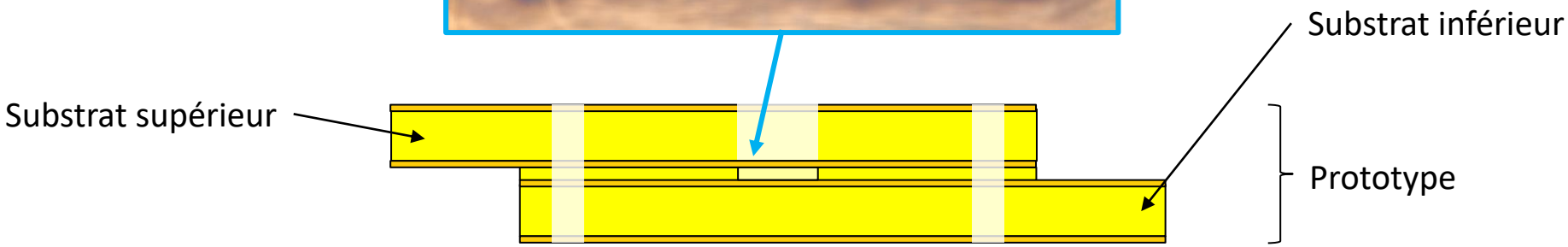
Annexe

Estimation de la résistance thermique : « Utilisation des substrats »

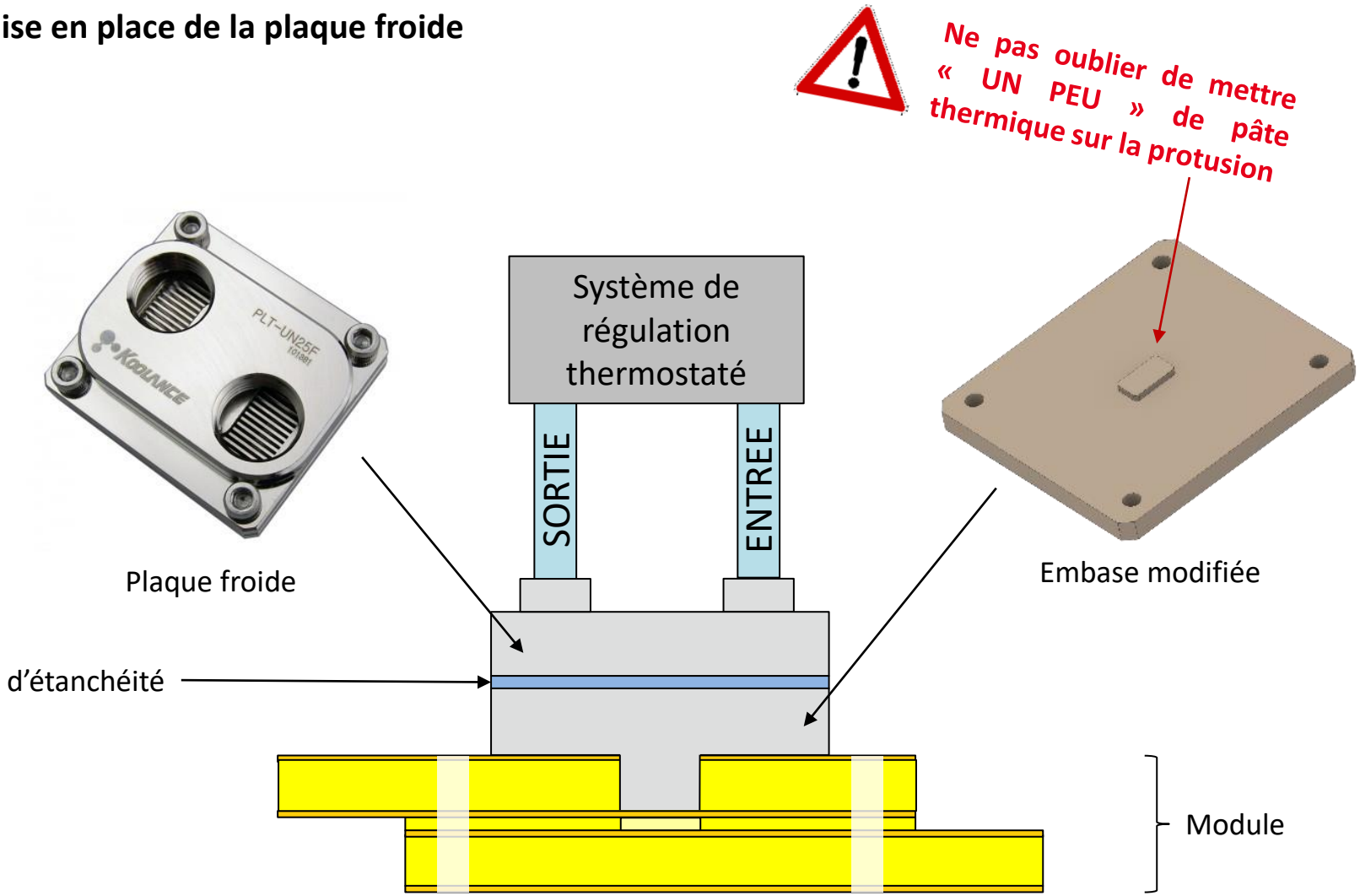
- **Mise en place de la plaque froide**

Image de la cavité au microscope numérique (x200)





Annexe

Estimation de la résistance thermique : « Utilisation des substrats »

- **Mise en place de la plaque froide**