

Intégration hybride des modules de puissance par enfouissement PCB et interconnexion nano filaire des composants actifs

Bojan DJURIC – Mitsubishi Electric R&D Centre Europe

UMR 5213 LAPLACE – Laboratoire Plasma et Conversion d'Énergie
Université Toulouse 3 (Paul Sabatier) Bât. 3R3
118 route de Narbonne, 31062 Toulouse Cedex 9 France

La solution d'intégration proposée a pour objectif d'améliorer les performances et la fiabilité des convertisseurs d'énergie électrique par hybridation des modules de puissance en utilisant la technologie d'enfouissement PCB avec des interfaces structurées comme interconnexions. Cette association pourrait permettre de bénéficier d'un procédé de production de masse mature à coût abordable : celui des circuits imprimés. La solution proposée offre la possibilité de limiter les éléments électriques parasites par sa structure planaire et est espérée mécaniquement flexible donc fiable par l'utilisation d'interconnexions nano filaires en cuivre.

I. INTRODUCTION

Les semi-conducteurs de dernière génération ont révolutionné l'électronique de puissance au cours des dernières années. La percée des matériaux à large bande (WBG) a révélé la nécessité d'améliorer le conditionnement des modules de puissance et plus particulièrement la gestion des contraintes électro-thermo-mécaniques (ETM) [1].

La solution proposée, que nous pouvons apprécier FIG. 1., est basée sur les technologies d'intégration par enfouissement PCB avec pour innovation majeure l'utilisation d'interfaces structurées par des nano fils de cuivre ; dans un contexte d'enfouissement des puces actives. Sans soudure et supposée capable d'absorber les déformations de l'assemblage, ce boîtier pourrait permettre une alternative au micro vias laser en améliorant la fiabilité des modules [2].

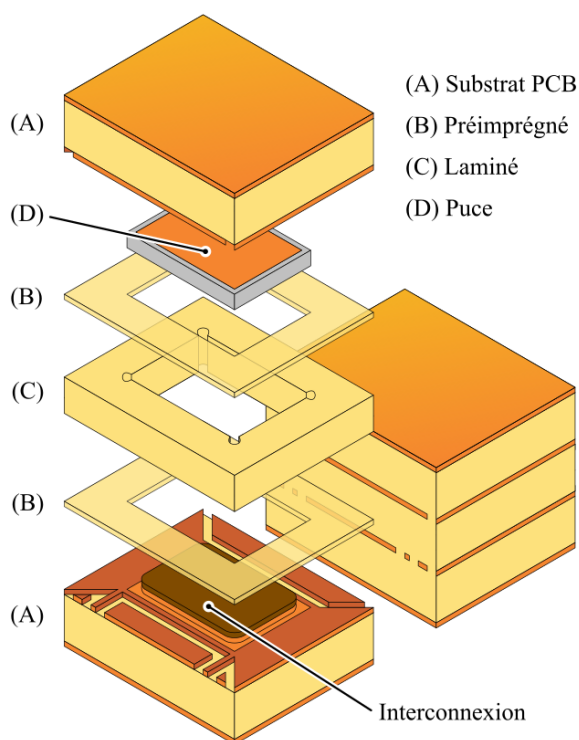


FIG. 1. Schémas en vue éclatée et assemblée de la technologie d'intégration proposée

II. PROCEDE DE FABRICATION

Bien que l'utilisation de la technologie PCB demeure au stade de la recherche appliquée pour l'intégration des convertisseurs de puissance, excepté certains fournisseurs commençant à proposer leur premier produit, l'innovation de ces travaux se concentre essentiellement sur l'utilisation d'une interface structurée à l'échelle nanométrique comme interconnexion substrat-composant. Lors de la fabrication, les substrats, puces, laminés et feuilles de pré-imprégnés, que l'on peut voir en FIG. 1., utilisent des procédés de fabrication usuels. La réalisation des interfaces structurées (deux faces à connecter), que nous qualifions d'interconnexion après assemblage par thermo-compression, bénéficie d'un procédé original mais restant basé sur celui des circuits imprimés ; ne nécessitant aucun équipement additionnel mise à part une simple membrane nano poreuse disponible dans le commerce.

La structure étudiée recouvre une surface de 25,62 mm² avec un plot en cuivre d'environ 45

μm d'épaisseur et d'une nano structure développée sur une hauteur de l'ordre de $55 \mu\text{m}$; le diamètre des fils étant approximativement de 200 nm . La FIG. 2. illustre les huit étapes de son procédé de fabrication que nous détaillons ci-après [3] :

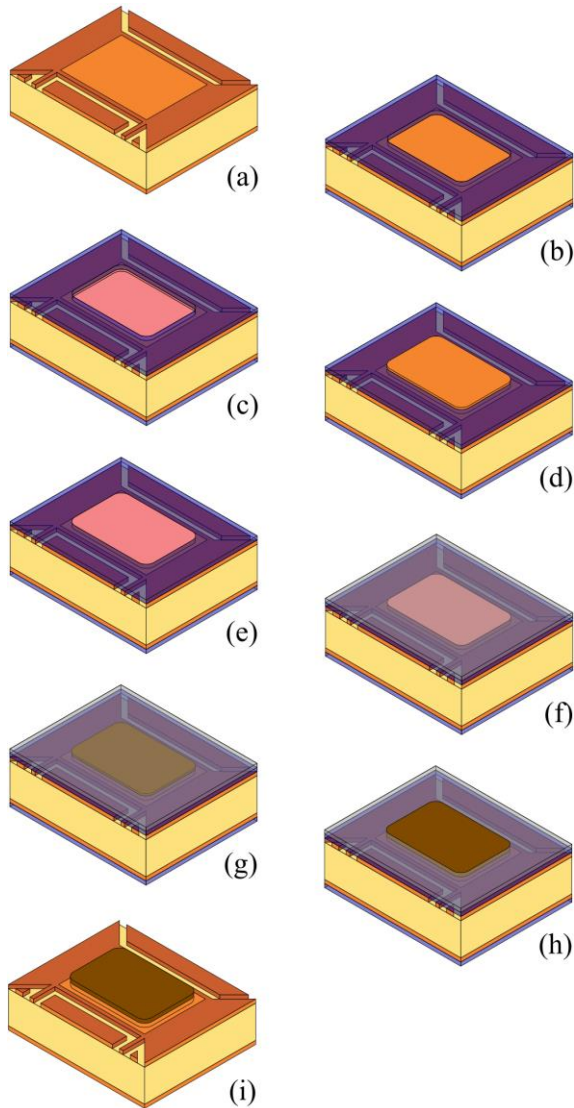


FIG. 2. Schéma des différentes étapes de fabrication d'une interface structurée sur son substrat PCB

(a) Le substrat PCB est réalisé par procédé classique de fabrication des circuits imprimés. Une fois les isolations réalisées, la surface du cuivre non traitée est oxydée permettant d'augmenter son adhérence et garantir une meilleure tenue mécanique lors de l'assemblage final.

(b) Un dernier film photosensible est appliqué sur le substrat laissant apparent la zone de travail et les connecteurs (non représentés).

(c) Le cuivre de la cavité est électro-gravé pendant 45 minutes en appliquant un profil de courant pulsé ; avec un cycle de -30 mA.cm^{-2} pendant 50 ms suivi de -2 mA.cm^{-2} pendant 300 ms . Cette étape de gravure électrochimique permet d'augmenter l'adhérence de la surface préalable à un dépôt de cuivre.

(d) La cavité est remplie, jusqu'à obtenir un léger débordement, par recharge électrolytique de cuivre pendant 6 heures et 53 minutes ; avec inversion de polarité de la forme d'onde appliquée à l'étape précédente.

(e) Le surplus de cuivre est électro-gravé en utilisant le même procédé que lors de l'étape (b) afin de garantir une tenue mécanique optimale ainsi qu'un dépôt de cuivre coplanaire avec la surface supérieure du film photosensible.

(f) Une solution d'amorçage de sulfate de cuivre concentrée à 10% est appliquée au regard du cuivre massif puis la membrane, en alumine de $60 \mu\text{m}$ d'épaisseur avec une porosité de 50% et un diamètre de pores de 200 nm , est placée sur le plot en cuivre.

(g) Deux feuilles de celluloses, filtre de $20 \mu\text{m}$, sont mises en place au-dessus de la membrane pour ensuite venir fermer la cellule électrolytique par mise en compression de l'électrode anodique. La cellulose permet d'une part de garantir la répartition des contraintes mécanique lors du serrage au couple ($0,2 \text{ N.m}$) et d'autre part permettre la diffusion des ions Cu^{2+} vers la zone de dépôt (cathode). Un dépôt de cuivre pendant 1 heure est réalisé en conservant le profil de courant pulsé. À l'ouverture de la cellule, la membrane est « capturée » par le cuivre électro-déposé au travers de ses pores.

(h) Le remplissage de la membrane est achevé en plaçant l'anode à distance et en effectuant une recharge électrolytique de 5 heures et 53 minutes. L'utilisation d'une cellule « ouverte » permet de renouveler la solution électrolytique lors du dépôt ; garantissant de façon reproductible l'obtention d'un dépôt homogène.

(i) À l'issue du dépôt final, la membrane et le film photosensible sont retirés par traitement chimique à l'hydroxyde de sodium concentré à 10% et à 50°C . Nous obtenons un substrat munit de son interface structurée illustrée en FIG. 4.

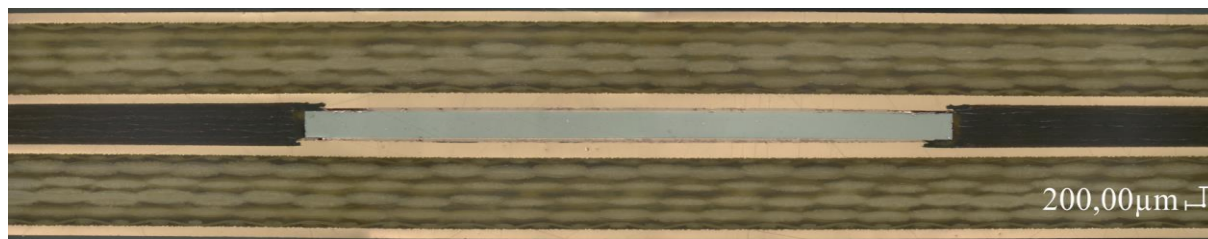


FIG. 3. Image au microscope numérique (x100) d'une coupe micrographique de l'assemblage d'une puce

L'assemblage des modules est réalisé par la mise en « thermo-compression » de deux substrats, ayant leur interface structurée respectives au regard l'une de l'autre, avec pour intermédiaire une puce en matériau semi-conducteur entourée d'un laminé diélectrique ; de même matériau que nos substrats PCB soit verre-polyimide. La FIG. 3. représente le résultat obtenu avec la technologie d'intégration proposée.

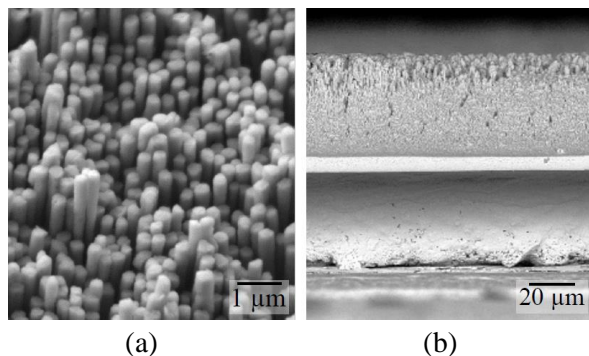


FIG. 4. Images au microscope électronique à balayage en vue de dessus (x10 000) (a) et profil (x400) (b) de l'interface structurée

III. CARACTERISATION

Les premiers résultats de caractérisation sont d'ordre électrique, et plus particulièrement de la résistance dont nous bénéficions via l'utilisation des interfaces structurées. Pour une conception optimale, offrant une répartition du courant maximisée au travers de notre interconnexion, nous obtenons une résistance comprise entre $20 \mu\Omega$ et $40 \mu\Omega$ pour une plage de température allant de 20°C à 120°C (FIG. 5.).

La résistance surfacique d'une interconnexion entre 20°C et 120°C , d'après la FIG. 5., est relativement faible avec une valeur comprise entre $6,9 \mu\Omega.\text{cm}^2$ et $10,4 \mu\Omega.\text{cm}^2$. Nous pouvons considérer que la résistance obtenue est négligeable face au R_{DSon}

des composants actifs dernier cri de quelques $\text{m}\Omega$ jusqu'à quelques dizaines de $\text{m}\Omega$.

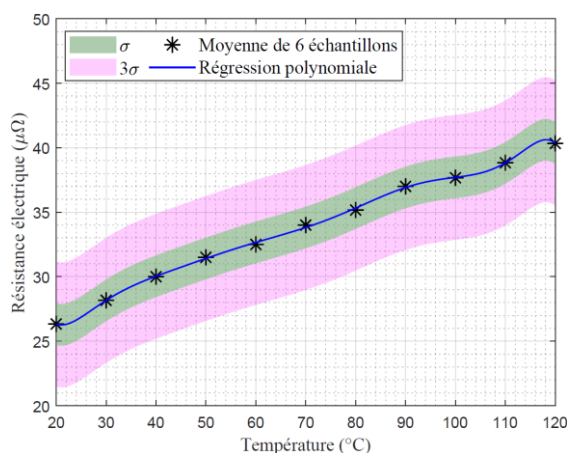


FIG. 5. Résistance électrique d'une interface structurée en fonction de la température

IV. CONCLUSION

La technologie d'intégration hybride proposée offre la possibilité de réaliser, de façon répétable et avec des performances électriques à première vue intéressantes, des modules de puissance par enfouissement PCB et interconnexion nano filaire. Les travaux en cours consistent en l'estimation de la résistance thermique d'une interface structurée tandis que les perspectives sont à l'évaluation de la fiabilité des assemblages. Le lecteur est orienté au travers de la bibliographie liée à cette étude en vue de compléter les informations évoquées dans cet article.

BIBLIOGRAPHIE

- [1] V. Bley *et al.*, "Die Interconnection for Power Module 3.0" ECPE Workshop: Advanced Power Packaging - Power Modules 2.0, pp. 1–26, 2019.
- [2] T. Dias *et al.*, "Optimization of the manufacturing process of macro and nanostructures for power modules' interconnection" *IMAPS Power*, pp. 1–6, 2019.
- [3] B. Djuric *et al.*, "Double side interconnection for vertical power components based on macro and nano structured copper interfaces and printed circuit board technologies" *IMAPS MiNaPAD*, pp. 1–6, 2019.